

タイム・インターバル測定の 基礎

Application Note 200-3

エレクトロニック・カウンタ・シリーズ



このカタログは、Agilent TechnologiesがHewlett-Packardから独立して新会社として設立される何年も前に発行されていますが、現在もAgilentからご利用いただける製品／サービスが掲載されています。Agilentがサポートしていない製品やサービスについて言及されている場合もあります。古い情報についてはご迷惑をお掛けすることをお詫びします。Agilentの電子計測器に関する最新情報については、以下のWebサイトをご覧ください。

www.agilent.co.jp



Agilent Technologies

目次

エレクトロニック・カウンタを使用した	
正確なタイム・インターバル測定	5
はじめに	5
エレクトロニック・カウンタを使用したタイム・インターバル測定	6
はじめに	6
測定対象	6
測定方法	7
分解能	8
シングル・ショット測定	8
TIアベレージング	8
最小インターバル、デッド・タイム、パルス幅	9
開始/終了信号の入力チャンネル	10
概要	10
好ましい特性	10
タイム・インターバル測定に関連した制御	11
ユーザに影響を及ぼす入力回路の動作	11
入力シグナル・コンディショニングと	
トリガ回路の動作	13
シグナル・コンディショニングによるトリガ・ポイントの設定	13
その他の入力コントロール	13
トリガ動作	16
ヒステリシス・ウィンドウの決定とゼロ・ボルト (0 V) でのトリガ	24
ヒステリシス補正	27
極性コントロール	29
より振幅の大きい信号を測定するための入力アッテネータ	30
トリガ・ライト	30
マーカ	31
遅延コントロール	34
タイム・インターバル・アベレージング	36
繰り返し信号により ± 1 カウント誤差が $1/\sqrt{N}$ で低減	36
タイム・インターバル・アベレージングが有効な場合	36
真のTIアベレージングに必要なシンクロナイザ	37
タイム・インターバル測定のゼロ時間への拡大	38
タイム・インターバル・アベレージングの欠点	39
タイム・インターバル誤差の評価	40
± 1 カウント誤差	40
\pm トリガ誤差	40
\pm タイムベース誤差	48
\pm 系統誤差	49
デジタル補間によるタイム・インターバル測定	50
デジタル補間	50
PSPLO (位相開始フェーズロック発振器)	50
デュアル・バーニア法	50

正確なタイム・インターバルの生成	52
PSPLO (位相開始フェーズロック発振器)	52
5363Bタイム・インターバル・プローブを使用した	
タイム・インターバル測定	54
TI測定の問題解決	54
レベル校正	56
タイム・ゼロ校正	58
5363Bを使用したTI測定の手順	59
タイム・インターバル測定の応用	60
メカニカル・スイッチにより開始／終了パルスを生成する	
簡単なタイミング・システム	60
位相測定	61
複雑なパルス列の測定	63
他のタイム・インターバル測定方法との比較	67

エレクトロニック・カウンタを使用した正確な タイム・インターバル測定

はじめに

タイム・インターバル測定とは、ある特定の開始事象からその後の終了事象までの間の経過時間の測定です。これは、日常生活におけるミーティングや輸送のスケジュールに用いられるリアルタイムでの時間(日時)ではありません。タイム・インターバル測定は、陸上競技などのスポーツ・イベントのタイムを計ったり、運動の時間的研究を行う場合と同じように、機械式のストップウォッチを使用する場合があります。自動車や飛行機の速度を計る場合と同じように、測定対象の物体の速度が速くなると、タイム・インターバルの期間が短くなるので、測定デバイス(例えば、ストップウォッチや時計)の開始/終了の決定に関わる人的要因による誤差を減らすために、機械、光、電気トランスデューサ、またはこれらすべてを組合わせたものが開発されてきました。最終的に、多くの科学分野の進歩に伴い、機械式ストップウォッチの分解能を上回る機械/電気式の時間測定が必要になりました。そこで開発されたのが、電子式ストップウォッチである、タイム・インターバル測定用のエレクトロニック・カウンタです。タイム・インターバル・カウンタは、通信、航行、テレビなどの、今日のシステムの開発および保守に欠かせない電気遅延、パルス幅などの時間に関連した電気現象を測定できます。測定性能の向上により、こうした分野すべてにおいて高度化が進み、今では「シングル・ショット」で0.1 ns(光が3 cm進むのに要する時間)の近接した間隔の電氣的なイベントを測定することができます。また、繰り返し現象のタイム・インターバル・アベレージングにより、これよりさらに優れた分解能を実現できます。

エレクトロニク・カウンタを使用した タイム・インターバル測定

はじめに

タイム・インターバルは、エレクトロニク・カウンタを使って頻繁に行われる重要な測定です。カウンタは、ストップウォッチを使って物理的なイベントの時間を計るのと全く同じように、2つの電気パルス間の経過時間を測定します(図1)。

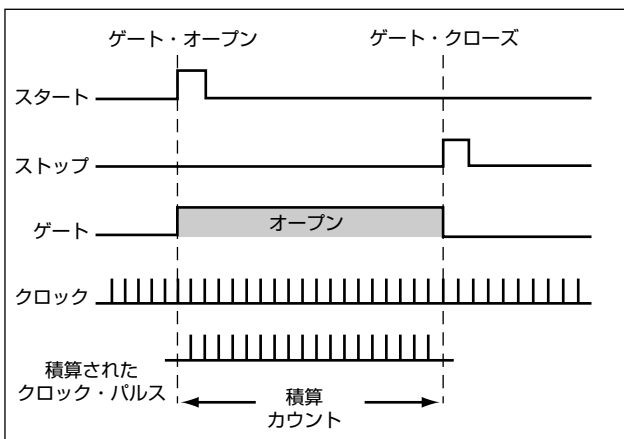


図1. タイム・インターバル測定では、メイン・ゲートがオープンしている間、クロック・パルスがカウントされます。ゲートは、1つのイベント(スタート)によりオープンされ、もう1つのイベント(ストップ)によりクローズされます。

ストップウォッチよりもはるかに小さな時間 (ns以下) までの最小時間測定が可能です。また、ストップウォッチを使用した場合よりもはるかに高い分解能/精度が得られます。

測定対象

代表的な時間測定を以下にいくつか示します。

アクティブ・コンポーネントの特性評価

集積回路の伝搬遅延

レーダ測定

核弾道飛行時間

パルス測定

パルス幅

立ち上がり時間

パルス列の繰り返し周波数 (周期)

航空機識別/航法システムなどで使用される複雑なパルス列の間隔

ケーブル測定

伝搬時間

ケーブル長

位相

遅延ライン測定

タイム・インターバル測定は、適切な電気信号に変換可能な物理現象に対しても実行できます。光電池、磁気ピックアップ、歪みゲージ、マイクロスイッチ、ブリッジ・ワイヤ・システム、サーミスタなどのトランスデューサは、物理イベントをタイム・インターバル測定に必要な電気的な開始/終了信号に変換するために用いることができます。

測定方法

図2のカウンタのチャンネルAで受ける開始(スタート)パルスは、ゲートをオープンして測定を開始し、その後で発生する、チャンネルBで受ける終了(ストップ)パルスは、ゲートをクローズして測定を終了させます。ゲートがオープンしている間のタイムベースの「クロック」周波数をカウントすることにより、開始から終了までの経過時間が測定されます。

従来のタイム・ベース・カウンタ(5328A、5345Aなど)の分解能は、「クロック」周波数により決まります。1 MHzのクロック周波数では、1 μ sの分解能が得られます。100 MHzでは10 ns、500 MHzでは2 nsというように分解能が決まります。明らかに、タイム・インターバル・カウンタ内の素子(入力増幅器、メイン・ゲート、DCA)は、クロック周波数と一致した速度で動作する必要があります。そうしないと、この測定器の分解能は無意味なものになってしまいます。最新テクノロジーでは、約2 nsの分解能が限界ですが、特殊な手法により向上させることができます。

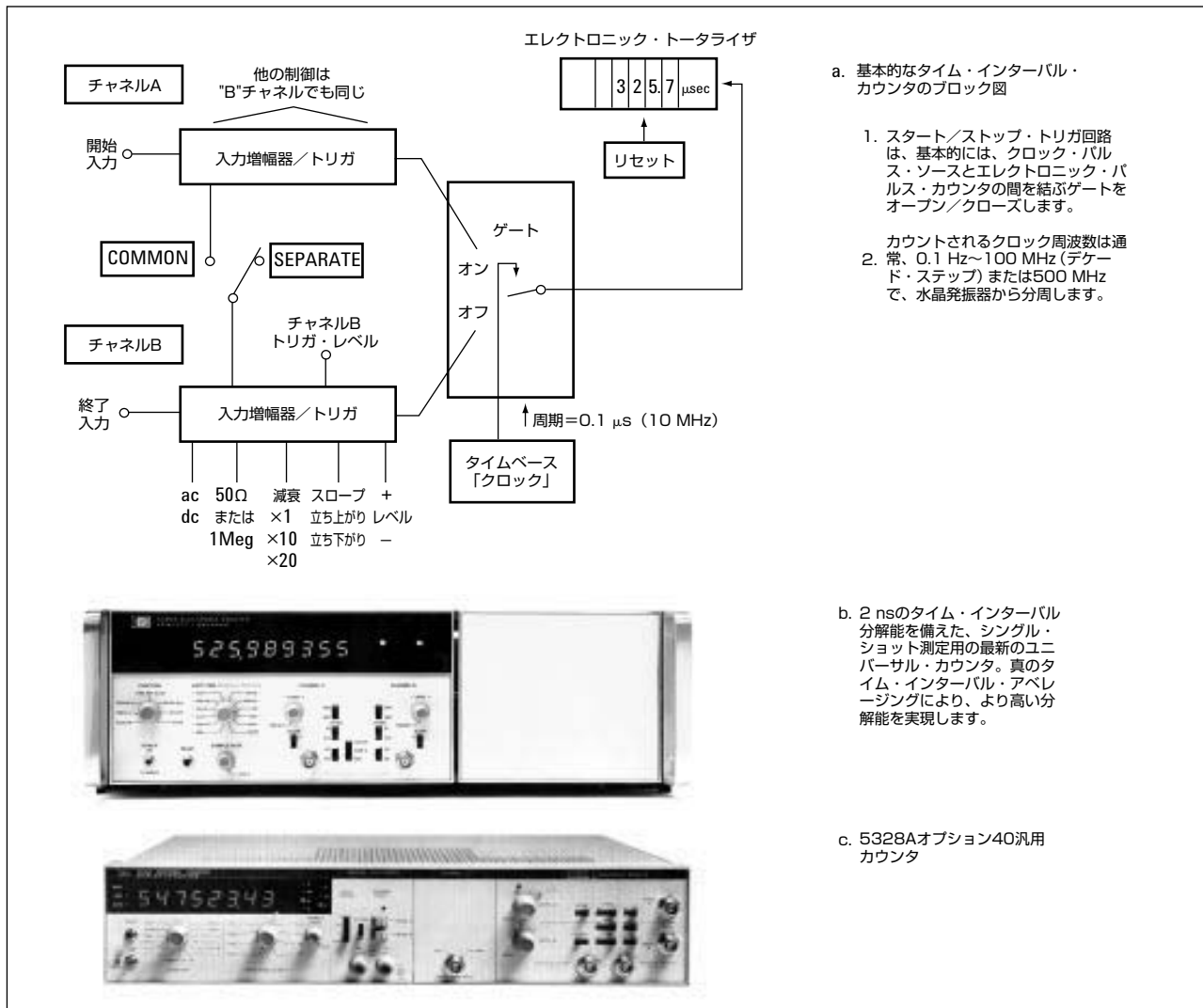


図2. エレクトロニック・カウンタを使用したタイム・インターバル測定

分解能

シングル・ショット測定

ほとんどの汎用カウンタは、最高100 nsの分解能で、「シングル・ショット」（開始パルスと終了パルスの時間）タイム・インターバル測定が可能です。すなわち、カウンタは10 MHzのクロックをカウントします。5328Aは、構成に応じて、100 nsまたは10 nsの分解能を提供します。5345Aは、2 nsまでのシングル・ショット・タイム・インターバル測定に対応しています。2 nsは、光が60 cmを進むのに要する時間です。

従来のカウンタでは、直読は、10のべき乗に対応するクロック周波数、すなわち、1 MHz、10 MHz、100 MHzなど（それぞれ1 μ s、100 ns、10 nsの周期）を使って行われます。従来のカウンタのシングル・ショット分解能は、1 ns分解能が現在のところ経済的に実現できないため、10 nsに限られています。演算機能を備えたカウンタでは、測定をクロック周期で実行し、変換してから表示することができますため、このような制限はありません。5370Aなどの最新の高性能カウンタは、デジタル補間方式で動作し、20 psのシングル・ショット分解能を実現できます。但し、この高い分解能では、入力増幅器や入力信号の雑音などの他の因子が制限因子となります。分解能を制限する2つの雑音成分は本質的に確率イベントなので、分解能は統計用語で表す必要があります。例えば、5370Aでは、30 ps rmsが分解能を表す一般的な表現です。

TIアベレージング

タイム・インターバル・アベレージングは、繰り返し信号でピコ秒 (10^{-12} s) 領域までの分解能を得るために用いることができます。アベレージングは、分解能の制限因子が本質的にランダムで、平均するとゼロに近くなる傾向があるという仮定のもとで有効です。入力信号の繰り返し周波数とは関係なく、真のタイム・インターバル・アベレージングを実現するためには、カウンタは、ゲート回路内のシンクロナイザと雑音変調クロックが必要です。5345Aおよび5328A (オプション040ユニバーサル・モジュール搭載) は、この真のアベレージング機能を備えています。

最小インターバル、デッド・タイム、パルス幅

タイム・インターバル測定では、以下の3つの重要な仕様が見過ごされることがあります。

1. 最小タイム・インターバル(最小レンジ)仕様は、カウンタが認識する開始パルスから終了パルスまでの間の最小時間です。従来のカウンタでのシングル・ショット測定の場合、この時間は常に1クロック周期以上でなければなりません。補間を使用した場合は、この時間を20 ps近くまで短くできます。代表的な仕様は、10 MHzクロック周期に対応する100 nsです。最小タイム・インターバルを短くするためのもう1つの方法は、アベレージングとシンクロナイザを併用する方法です。これにより、1クロック周期未満のインターバルの測定が可能になりますが、繰り返し信号が必要です。
2. 最小デッド・タイムは、終了パルスから次の開始パルスの受け入れまでの時間です。代表的なデッド・タイム仕様は、5345Aで10 ns、5328Aで150 nsです。デッド・タイムにより、許容可能な信号の最大繰り返し周波数が決まります。
3. 最小パルス幅は、カウンタが開始パルスまたは終了パルスとして認識する最短パルスで、主に入力増幅器の帯域幅により決まります。50 MHzカウンタの最小パルス幅の代表値は10 ns (1/2サイクルの周期)です。

これらの仕様を考慮しないと、何らかの測定誤差が生じる可能性があります。例えば、最小タイム・インターバル仕様より短い立ち上がり時間を測定すると、認識される最初の終了パルスが次のパルスになり、目的の立ち上がり時間ではなく、パルス周期の測定結果が得られます。

開始／終了信号の入力チャネル

概要

測定値の数字が変化している場合、変化している桁は正確な情報を表していません。そのため、いくら高分解能であっても、測定に再現性がない場合は、高分解能の意味がありません。カウンタの入力増幅器-トリガ回路は、目的の信号からカウンタへのインタフェースとなり、確度の高いタイム・インターバル測定のための最も重要な回路です。これらの回路の性能は、測定確度に直接影響します。測定でこれらの回路に対する注意を怠ることが、測定誤差の第1の原因であるとともに、カウンタの潜在的な確度が得られない主な原因でもあります。

入力増幅器とトリガ回路(開始チャネル用と終了チャネル用)により、入力信号がカウンタにトリガをかける電圧レベルが決まります。雑音、ドリフト、AC/DC結合などの、これらの回路に関連する要因はすべて、測定に影響します。これらの回路は非常に重要なので、これらの入力チャネルの動作を詳細に調べます。

好ましい特性

タイム・インターバル・カウンタで有効な測定を実現するためには、各入力がいくつかの要件を満たす必要があります。

1. 入力回路は、正弦波、方形波、パルス、または振幅が変動する複合波形の信号を受け入れ、その信号から、一定の振幅、立ち上がり時間、幅の出力パルスを、入力の各サイクル毎に発生させる必要があります。
2. 測定を開始／終了したい入力波形上の正確な電圧ポイントをオペレータが選択できるようにするためには、回路を制御する必要があります。このような機能は、測定の柔軟性を実現するために、不可欠といえます。
3. 測定のセットアップを容易にするために、入力のトリガ電圧を外部から設定／測定できる必要があります。
4. 一度設定したら、入力信号の振幅、波形、デューティ・サイクルに関係なく、同じ電圧レベルでトリガを発生させるために、入力の時間／温度安定度が高く、内部雑音が小さい必要があります。
5. 入力をDC結合にして、入力信号の繰り返し周波数またはデューティ・サイクルによりトリガ電圧ポイントが変化せず、DCオフセットによる信号測定の場合もAC結合にできるようにする必要があります。

6. 間違って印加した高振幅信号が、持続時間に関係なく、入力回路のコンポーネントにダメージを与えないように、入力回路を保護する必要があります。
7. 入力信号に直接接続し、波形歪みを少なくするには高入力インピーダンス（高入力抵抗と低入力キャパシタンス）が必要です。またこのようにすれば、 $50\ \Omega$ への切替えが可能になり、高速パルスの反射を防ぐことができます。
8. 同じケーブル上の信号のタイム・インターバル測定ができるように、開始入力と終了入力を同じ信号で選択できる必要があります。これは、パルス幅測定に必要です。
9. 立ち上がり時間の速い信号や高周波信号の測定には、各チャンネルで整合した入力増幅器が必要です。一方のチャンネルが他方のチャンネルより帯域幅が極めて狭い場合は、伝搬遅延と立ち上がり時間が2つのチャンネルで大きく異なり、測定で大きな誤差が生じます。

タイム・インターバル測定に関連した制御

入力波形のトリガ・ポイントを設定する際にはスロープ、レベル、アッテネータを制御できれば、測定が柔軟に行えます。この場合、各コントロールの機能を十分に理解していることが重要です。そうしないと、入力信号の期待する電圧ポイントでトリガが発生しない場合があります。

ユーザに影響を及ぼす入力回路の動作

エレクトロニック・カウンタにはすべて、入力感度の仕様（正弦波では $100\ \text{mV rms}$ （ $282\ \text{mVp-p}$ ））があります。これはカウンタを動作させるのに必要な最小電圧です。この仕様は通常、経年変化による影響を考慮しているだけでなく、全環境範囲に適用されるので、通常の室温で動作している場合は、仕様を大幅に上回る感度が得られます。感度は、時間の経過や周囲温度などの環境の変化に伴って変化することがあります。但し、注意深く設計された回路では、こうした影響は最小限に抑えられます。また感度は、周波数に依存する場合があります。

周波数測定の場合は、トリガ・ポイントの選択はあまり重要ではなく、入力信号の各サイクル毎に1回（1回だけ）カウンタがトリガすることが唯一の条件です。一方、タイム・インターバル測定では、入力回路にさらに厳しい条件が課されます。これは、設定された特定のトリガ電圧で、トリガする必要があるからです。

タイム・インターバルは2次元の問題です。タイム・インターバル測定の次元を、図3の簡単な例(信号の立ち上がり時間の測定)を用いて示すことができます。

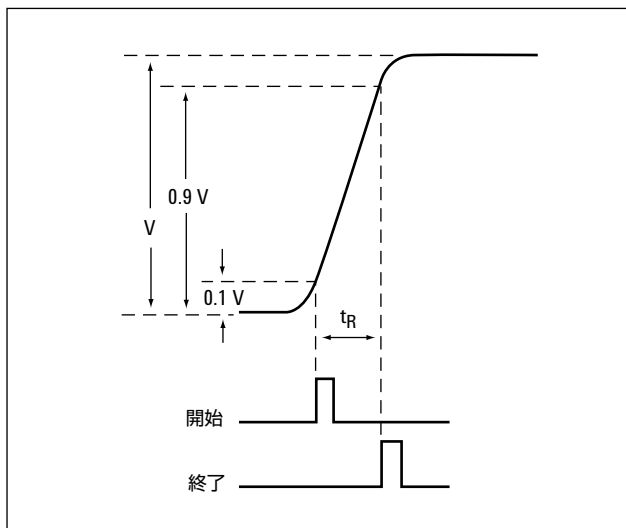


図3.
トリガ・レベルを入力振幅の10%ポイントと90%ポイントに調整することにより、立ち上がり時間 t_R を測定。

立ち上がり時間の測定では、入力信号の10%または20%の振幅ポイントで開始信号を、80%または90%ポイントで終了信号をそれぞれ発生させる必要があります。これは、サイクル間で同じポイントでトリガが必要な周波数/周期測定の場合とは異なります。したがって、タイム・インターバル測定は、2次元(振幅および時間)です。入力増幅器-トリガ回路に、周波数/周期測定よりはるかに厳しい条件が必要なのは、この次元に関係しています。

回路ドリフトによりトリガ・ポイントが変動する場合、カウンタのタイムベース「クロック」が適切なインターバルでカウントされなくなるため、測定の確度が低下します。

入力シグナル・コンディショニングとトリガ回路の動作

シグナル・コンディショニングによるトリガ・ポイントの設定

図4は、入力信号上にトリガ電圧ポイントを設定する際のスロープ、極性、レベル、アッテネータ・コントロールの効果を示したものです。

1. **スロープ・コントロール**は、トリガ・ポイントを上昇電圧と下降電圧のどちらに設定するかを決定します (図4bを参照)。
2. **極性コントロール**は、ゼロ・ボルト (0 V) を基準にしてトリガ・ポイントが正か負かを決定します (図4bを参照)。
3. **レベル・コントロール**は、回路のトリガ・ポイントの電圧を上下に調整します。通常は、100 mV rms (282 mVpp) 感度のカウンタでは、1~3 V (ピーク) の範囲です (図4cを参照)。極性コントロールとレベル・コントロールは、多くの場合、 0 ± 3 のゼロを中心にした範囲になります。

また、ほとんどのカウンタには、PRESETスイッチがあり、AC結合の対称入力信号の非常に微妙なトリガ条件の設定が可能です。これらのコントロールの機能については、トリガ・ポイントの設定と関係があるため、後で詳しく説明します。

4. **入力アッテネータ (INPUT ATTENUATOR)** は、100 Vまでの高振幅の入力信号を抑えて、最大で2, 3 Vrmsに制限されているトリガ回路のダイナミック・レンジの範囲内になるようにします (図4dを参照)。

その他の入力コントロール

1. SEPARATE COMMONスイッチ

SEPARATE COMMONスイッチは、開始(スタート)入力と終了(ストップ)入力を結合するもので、外部ケーブルやハードウェアを用いる必要はありません。50 Ω 入力のカウンタでは、適切な整合回路を用いてこれが行われるため、SEPARATE動作モードでもCOMMON動作モードでも、入力は50 Ω になります。回路構成によりは、これが2:1の電圧感度の損失になる場合も、ならない場合もあります。

2. 50 Ω 高インピーダンス・スイッチ

最新のカウンタには、高インピーダンス (1 MΩ、35 pF) と 50 Ω 入力インピーダンスを選択するためのスイッチを備えているものもあります。カウンタに 50 Ω 位置がある場合は、 Q_1 のゲートまでの入力回路全体 (図6) が、50 Ω ストリップ・ラインとして設計されています。また、過負荷保護抵抗 R_1 が短絡されるので、高振幅の入力信号 (通常は最大 5 V_{rms}) を測定する場合に注意が必要です。場合によっては、入力回路が損傷する可能性があります。

3. DC/AC 結合

低い周波数でもトリガできるように、すべての汎用タイム・インターバル・カウンタに、DC 結合のトリガ回路が装備されています。必要に応じて、スイッチや別の入力コネクタにより、キャパシタ C_1 を入力コネクタと直列に接続することにより、AC 結合を実現します。AC 結合は、DC オフセットが大きい信号を測定する場合に必要となります。但し、AC 結合を使用する場合は、入力周波数とデューティ・サイクルの両方によりトリガ・ポイントが変化します。

4. チェック

厳密に言えばタイム・インターバル測定とは関係ありませんが、SELF CHECK (セルフ・チェック) 機能は、カウンタのマルチプライヤ、ディバイダ、ゲート回路が正常に動作するかどうかをチェックします。カウンタを使用する前に実行する必要があります。セルフ・チェックでは、水晶発振器の確度は**分かりません**。

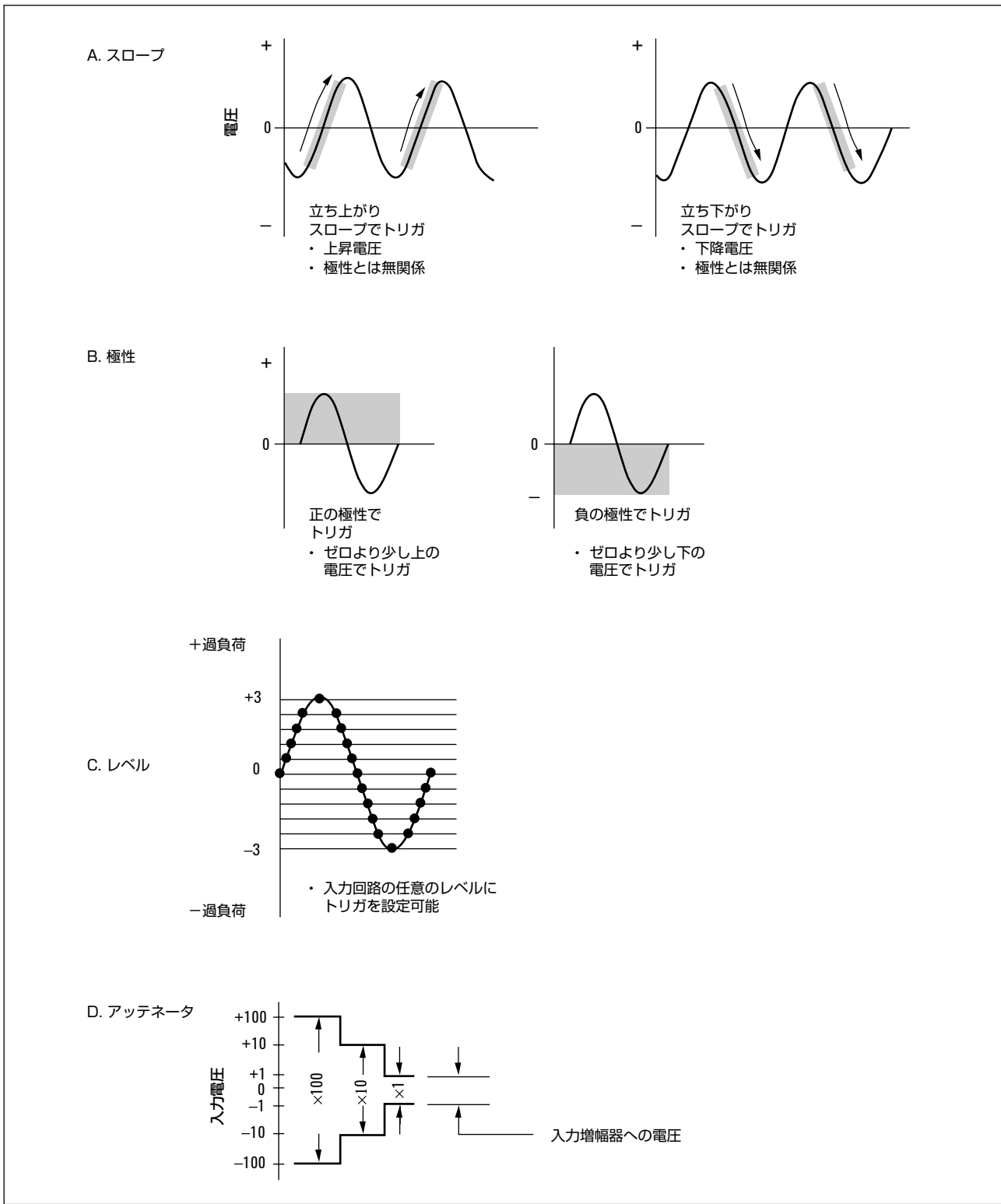


図4. トリガ・ポイントを定義するための3つのパラメータ。

トリガ動作

トリガ回路には、振幅、周波数、波形が異なる可能性のある信号が入力されます。また、入力信号が選択したトリガ電圧レベルを超えるたびに、一定の振幅と幅を持つ1つのパルスを出力します。

1. ヒステリシス・リミットによる入力感度

トリガ回路は、入力信号が**2つの**電圧しきい値を超えることでアクティブになります。エレクトロニック・カウンタの感度は、ヒステリシス・リミットと呼ばれるヒステリシス・ウィンドウのしきい値の電圧差により決まります。ヒステリシス・リミットは、入力信号上の電圧レベルに対応し、そのうちの1つは回路(図5a)を(m)でトリガし、もう1つの電圧レベルは、(n)でトリガ回路をリセットします。トリガ出力電圧の伝達関数のプロット(図5b)は、よく知られている磁気コアのBH(磁束密度対磁化力)曲線(ヒステリシス曲線)に似ています。これらのヒステリシス・リミットは、トリガ生成とリセットの

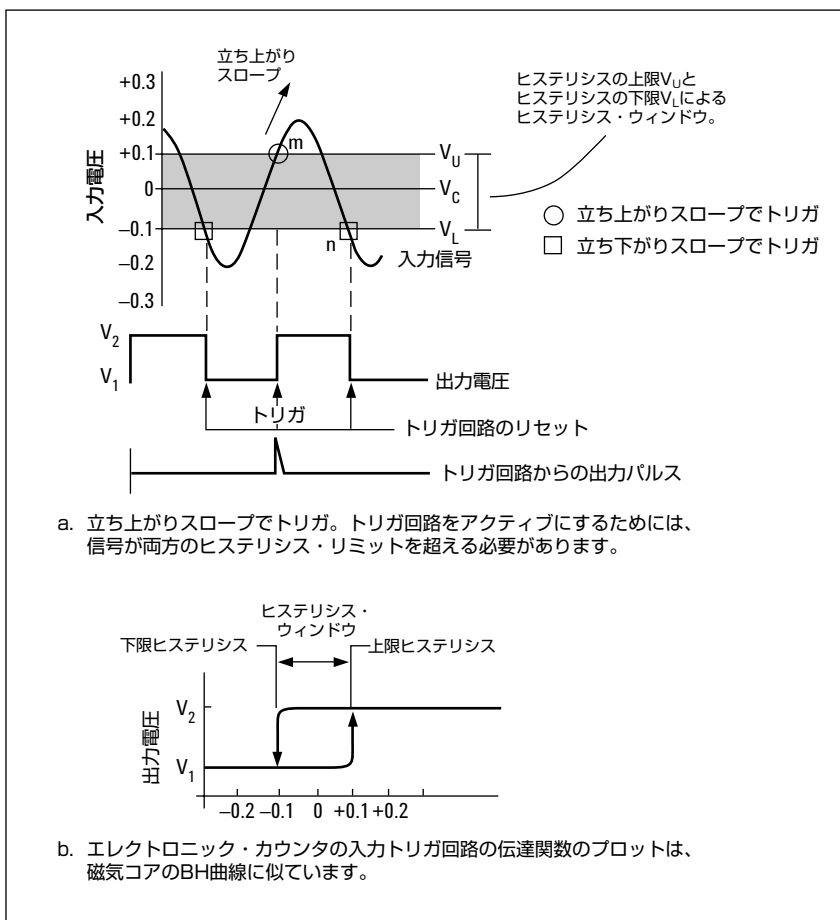


図5. トリガ回路のヒステリシス・リミットと伝達関数

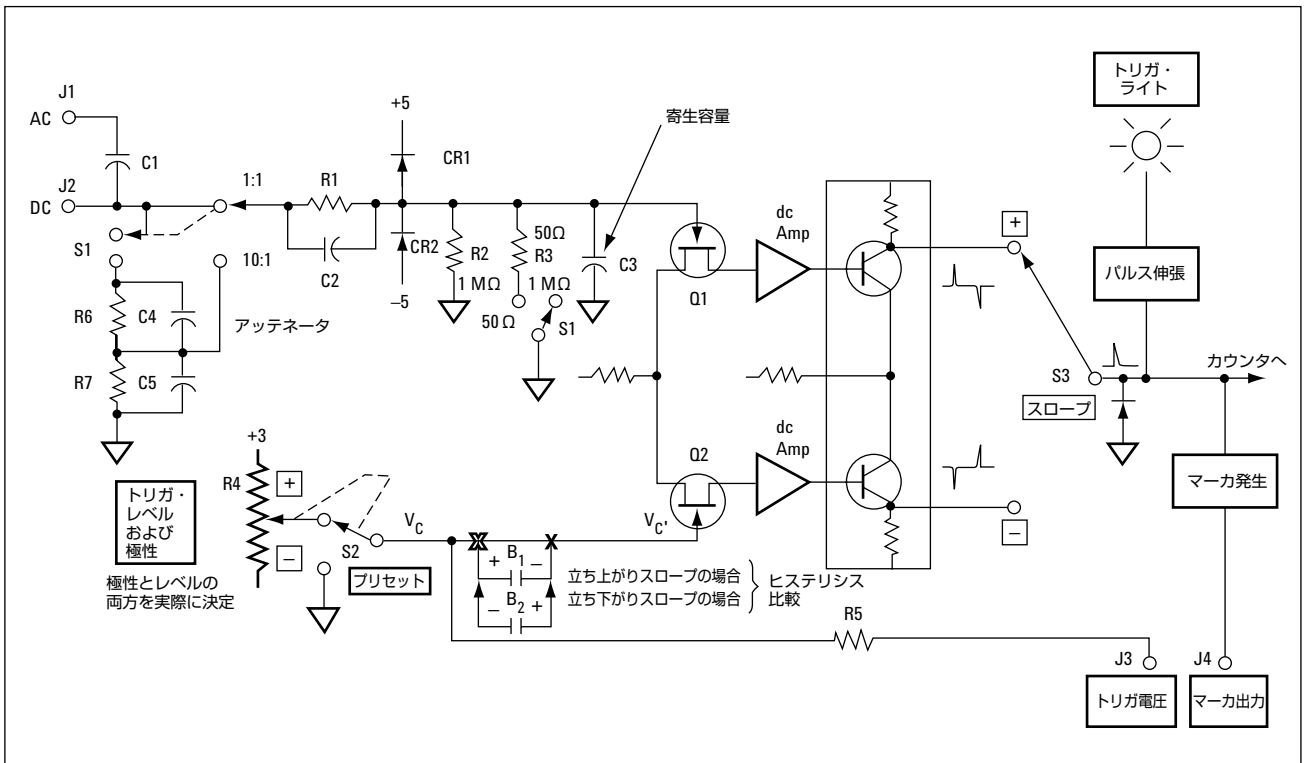


図6. タイム・インターバル・カウンタの対称的なトリガ回路。

役割をになっていますが、回路内のどこにもノード(コンポーネントの接合部)として存在しないので、直接測定することはできません。しかし、ヒステリシス・リミットの約半分の電圧 V_c は、物理的な回路ノードとして存在し、測定することができます。これについては後で説明します。回路は、一旦トリガされたら、入力信号が反対側のヒステリシス・リミットを超えた後、必要なレベルを再度超えるまで、再トリガすることはできません。

信号が1つのリミットだけを越えて元のレベルに戻った場合は、トリガされません。信号はヒステリシス・ウィンドウを完全に通過して、トリガまたは入力トリガ回路のリセットを発生させる必要があります。ヒステリシス・リミットはピーク電圧により定義されますが、ほとんどのカウンタの感度は電圧の実効値で仕様化されているので、正弦波入力以外の場合は、感度の実効値に2.82を掛けてp-p電圧に変換して、入力感度を考える必要があります。

このトリガ動作は、ネズミ捕り器に例えることができます。ネズミ捕り器では、わなのバネが跳ね返るある特定の位置より下に引き金が押し下げられるまで、何も起こりません。一旦作動したわなの動作は、バネ止めがどのくらい速くまたはどのくらいゆっくり押し下げられたかは関係ありません。一旦バネが跳ね返ると、わながリセットされるまでは、バネ止めがさらに動いても何の効果もありません。ネズミ捕り器のバネ止めを外すことは、図5aのヒステリシスの上限 (m) と交差することに相当し、わなをリセットすることは、この例の下限 (n) と交差することに相当します。

2. 入力回路とトリガ制御

代表的な入力増幅器を示した図6の回路図には、パネル・コントロールの設定の影響を直接受ける回路素子が示されています。各コントロールに対応する回路を見ると、タイム・インターバル測定に必要な設定手順が分かります。

a. 入力アッテネータ

周波数補償入力アッテネータ $R_6R_7C_1C_5$ は、100:1、20:1、10:1、または2:1 (x100、x20、x10、x2とラベルが付いている場合もある)で、100 Vまでの入力レベルを下げ、入力増幅器回路に安全に印加できるレベルにします。アッテネータは一般に、入力信号を入力増幅器のリニア・レンジまで減少させるデバイスと考えることができます。信号に関してアッテネータの動作を確認するもう1つの方法は、カウンタのヒステリシス・ウィンドウに減衰係数を掛けることです。例えば、25 mV rmsの感度 (ヒステリシス・リミット $25 \times 2.82 = 70.5$ mV差)のカウンタは、X10アッテネータ設定では、250 mV rms (ヒステリシス・リミット $25 \times 2.82 \times 10 = 705$ mV差)の感度となります。大信号を感度の高い範囲で印加してもカウンタは損傷しないかもしれませんが、過負荷によりカウントミスが生じる可能性があります。

b. ダイオード CR_1 および CR_2 は、 R_1 と連動して、過負荷保護を行い、偶発的な過負荷が生じた場合に Q_1 が損傷しないようにします。最高感度のアッテネータを備えたほとんどのカウンタでは、 R_1 は、電源ライン周波数の115 Vrmsの入力信号による損傷を防ぐことのできる大きさになっています。キャパシタ C_2 は、この抵抗を通して、感度が高周波で低下するのを防ぎます。オペレータにとって重要なことは、高周波では、 C_2 が保護抵抗 R_1 を実質的に短絡するので、低周波の場合のように100 V以上ではなく、数 Vrms (図7)に最大電圧が制限されるという事実です。

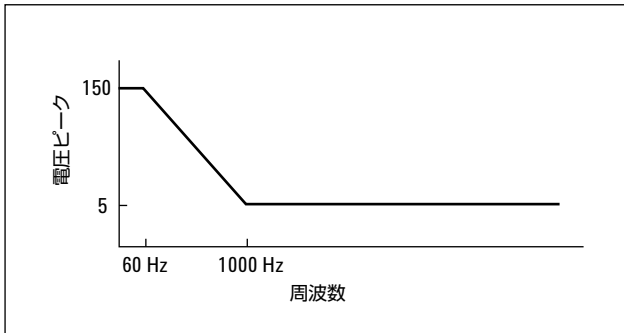


図7. 周波数の関数としての過負荷電圧。

オペレータにとってやはり重要なのが、保護ダイオード CR_1 および CR_2 によりカウンタの入力特性が変化する可能性があるという事実です。入力信号が $\pm 5\text{ V}$ ピーク内である限り、図5の回路のダイオード CR_1 および CR_2 には、逆バイアスがかかります。しかし、ピーク入力信号がこれらのリミットを超えた場合は、カウンタの入力抵抗は、 R_1 の値に応じて、 $1\text{ M}\Omega$ からおそらく数百 Ω くらいの値まで低下します。これにより、信号源に非線形の重い負荷がかかり、波形が激変する可能性があります。通常の動作では、入力回路が損傷することはないかもしれませんが、変化した入力信号の形状によりダブルカウントやその他の不規則なカウントが発生する可能性があるため、入力信号はこの過負荷レベルを常に下回っている必要があります。タコメータ発電機などの回転速度に比例する出力を持つトランスデューサを使用する場合は、カウンタの過負荷を防ぐために、図8に示されている簡単な外部リミッタが効果的です。この回路を使用すると、信号源は常にリミッタへの入力で $22\text{ k}\Omega$ の最小負荷になるため、リンギングやその他の歪みは問題になりません。タコメータや流量計などの低周波の信号(50 kHz 未満)を使用する場合は、ピックアップ C_1 ($100\sim 500\text{ pF}$)が、高周波雑音により間違ったトリガが発生するのを防ぎます。振幅の増加に伴って入力信号が対称的にクリッピングされるため、カウンタのトリガ・ポイントは $\pm 0.5\text{ V}$ の範囲内に設定する必要があります。

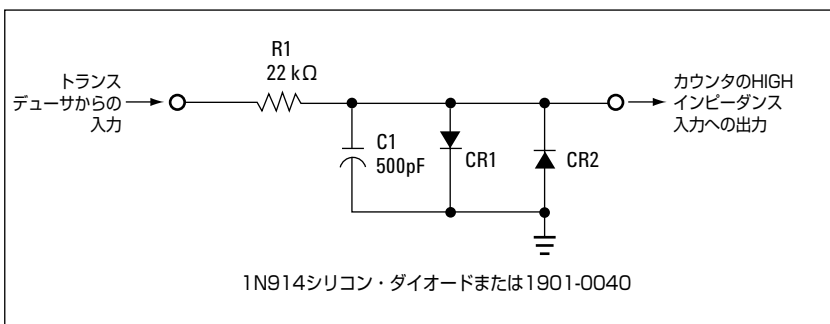


図8. カウンタ入力での過負荷を防ぐための簡単なクリッパ回路。

c. DC/AC結合

タイム・インターバル測定では、一般に入力波形の特定の電圧ポイントでトリガする必要があるため、DC結合が非常に重要です。AC結合では、パルス幅、繰り返し周波数、立ち上がり時間または波形（アベレーシングされたDCレベルに影響するすべての変動）が変化すると必ず、トリガ・ポイントの位置が0 Vdcを基準にして変動します。測定ポイントの変化については、図9および図10を参照してください。繰り返し波形に対してゼロより上の平均電圧がゼロより下の平均電圧と等しくなるように波形を配置することにより、各ケースのゼロ・ボルトが定義されています。これはまた、対称波形（正弦波、三角波、方形波など）では、ゼロ・ボルトは波形の中心に来ることを意味します。

結合回路のRC時定数が目的の波形の周期と比べて長い場合は、図9d、10b、10dのように、AC結合を使用しても、電圧軸に沿って波形が変形するだけです。結合回路の時定数が入力信号の周期と同じオーダの場合は、図9eのように波形が歪み、変形されます。また短い時定数（ R_1 の値が減少）では、回路は結合回路から微分回路に変化し、結果として信号の伝送および波形に歪みが生じます（図9fおよび9eを参照）。いずれの場合も、ジェネレータの出力信号は変化しませんが、カウンタ入力から見ると全く異なる入力信号のように見えます。

これらの波形は、AC結合のトリガ回路を使用したタイム・インターバル測定に関連する問題のいくつかを、多少ドラマティックに指摘しています。例えば、立ち上がりスロープの+0 Vdcでトリガするようにカウンタを設定すると、DC結合の場合は、波形のピークでトリガされます（図9c）。AC結合の場合は、回路定数に応じて、入力信号の中央付近でトリガされるか（図9d）、あるサイクルのトップ付近と別のサイクルのボトム付近（図9e）でトリガされます。こうしたシフトは、カウンタの入力回路の動作不良によるものではなく、AC結合回路の特性によるものです。（入力信号のデューティ・サイクルがAC結合動作モードで変化した場合は、これらの同じ要因は、オシロスコープのディスプレイを垂直軸方向にシフトさせます）。AC結合は、信号に大きなDC成分がある場合など、ある状況では避けられないため、関連する問題を認識し、タイム・インターバル入力に実際に現われている信号や目的のトリガ・ポイントからかなり遠い可能性のある実際のトリガ・ポイントを判断することは、オペレータの責任です。

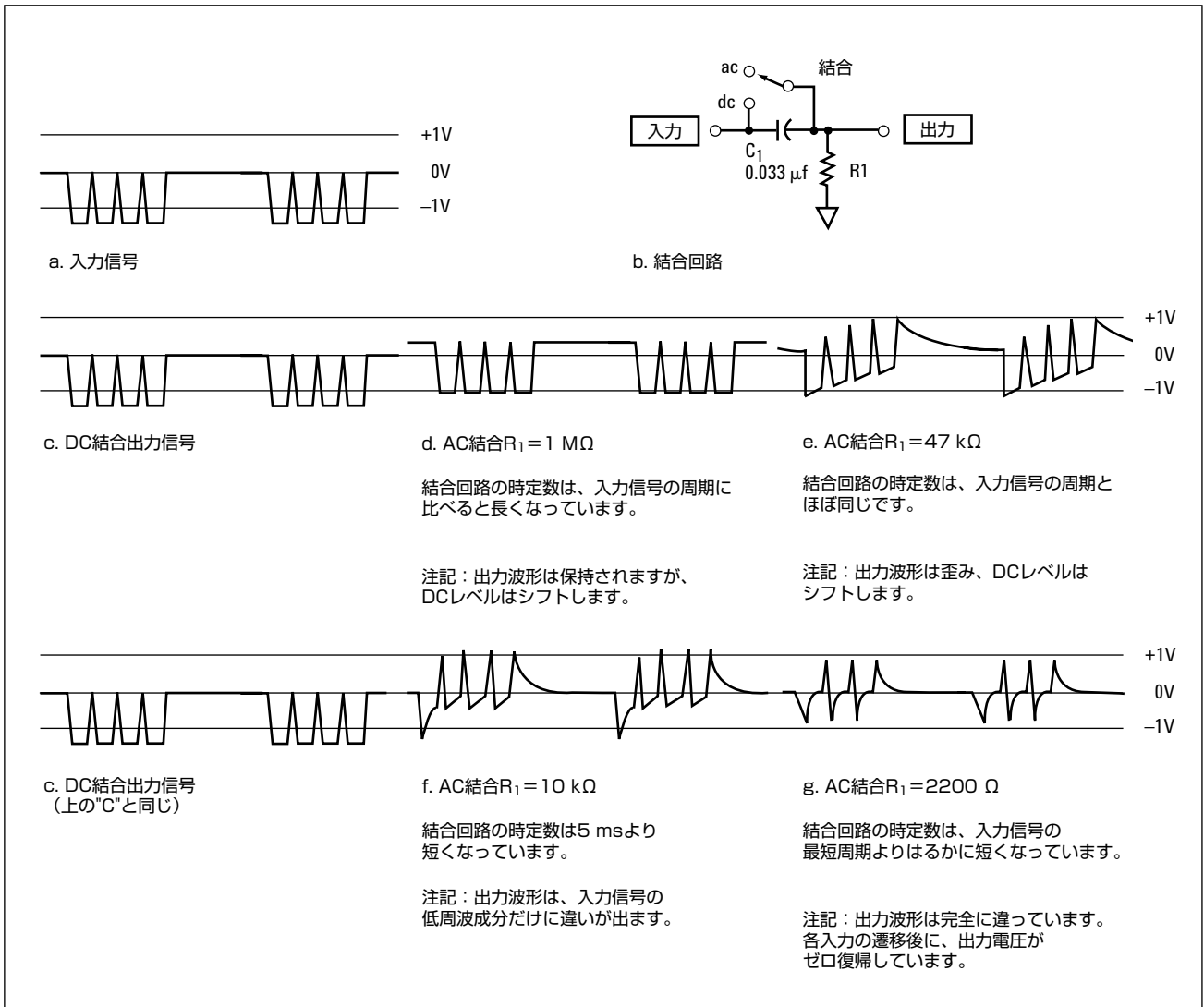


図9. 複雑なパルス列のDC/AC結合による影響

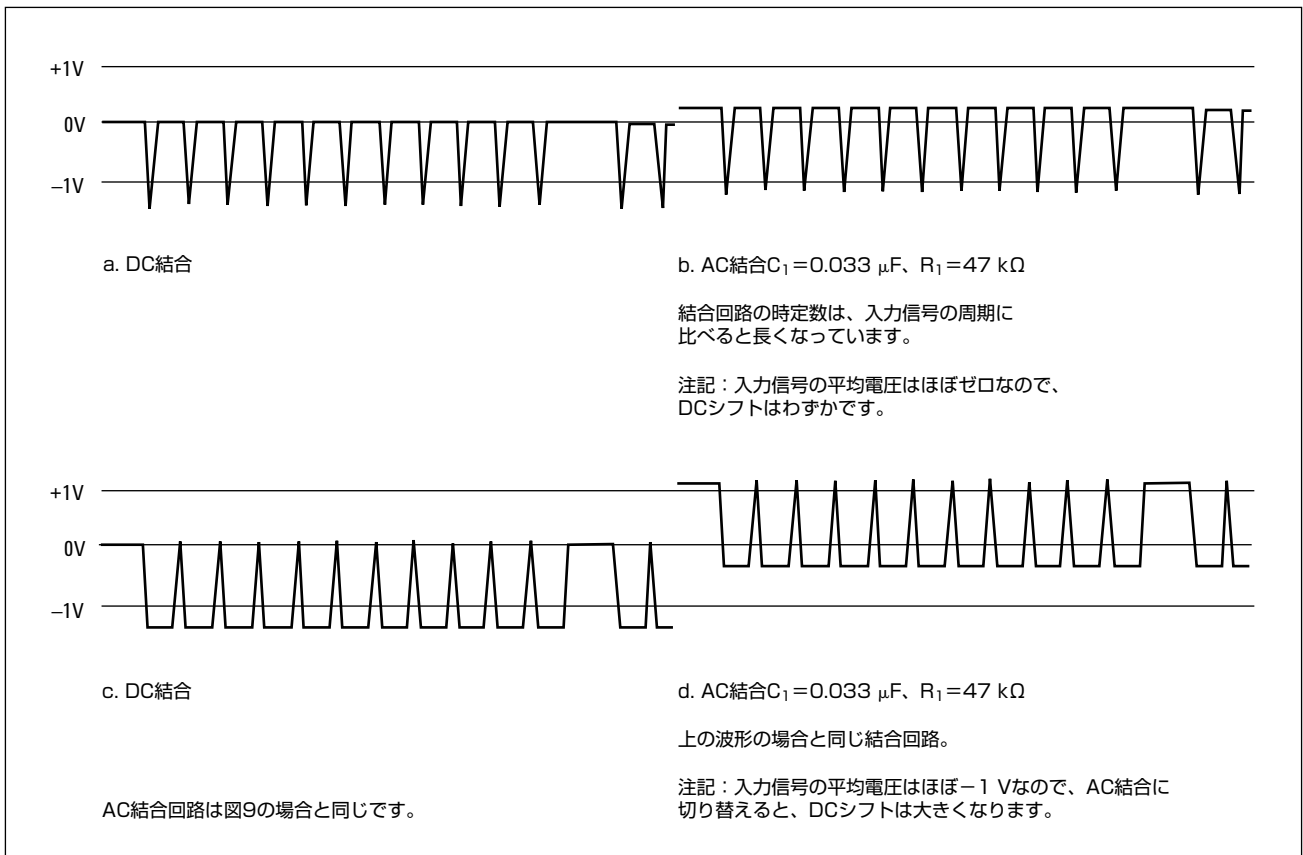


図10. DC/AC結合（ゼロ・レベルとパルス幅の変化）

d. スロープ・コントロール

スロープ・コントロール S_3 (図6) は、回路を立ち上がり (+) スロープを持つ (絶対極性に関係なく、ある電圧からより大きな正の電圧に移行する) 信号でトリガして、図5aのヒステリシスの上限 (V_U) で出力パルスを発生させるか、立ち下がり (-) スロープを持つ信号でトリガして、ヒステリシスの下限 (V_L) で出力パルスを発生させるかを決めます。

e. レベル・コントロール

ヒステリシス・ウィンドウを電圧方向に移動します。レベル・コントロール R_4 (図6) は、図11のように明確にウィンドウを変更することなく、ヒステリシス・ウィンドウの中心 V_C を、入力回路のダイナミック・レンジ内の任意の正または負の電圧に移動します。AC結合の正弦波入力信号の最高感

度は、ヒステリシス・リミットを0 Vdcを基準にして対称に配置した場合に得られます。これは、最小振幅信号が両方のリミットを超えることができるためです。この条件を設定するために、多くのカウンタには、レベル・コントロール範囲の一端にPRESET位置があります。(トリガは、スロープ・コントロールの設定に応じて、ヒステリシスの上限か下限で発生します)。

ヒステリシス・リミットのおおよその中心を定義する電圧 V_C は、トリガ・レベル・コントロール R_4 (図6) のアームから出ているので、DC電圧計で測定できます。この電圧は通常、測定を容易にするために、パネル・コネクタ J_3 に送られます。 J_3 が間違っって短絡された場合の回路の損傷を防ぐために、数百 Ω の抵抗 R_5 が挿入される場合もあるので、高インピーダンス電圧計を使用してください。

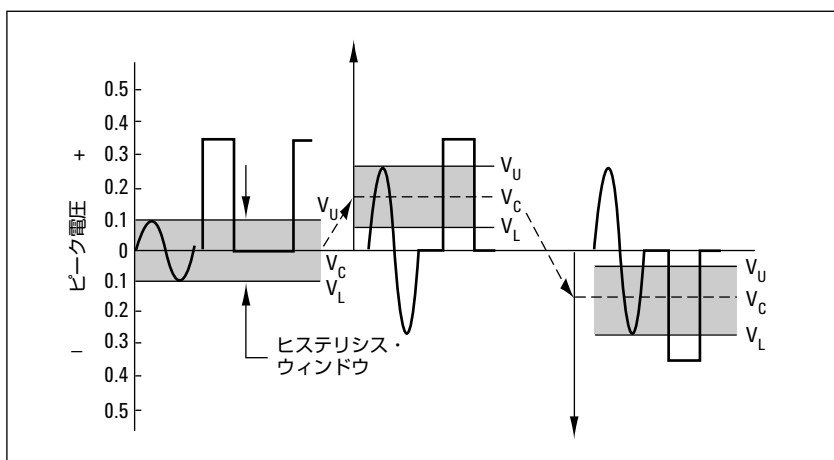


図11.
極性/レベル・コントロール

f. 特定の電圧でのトリガ

特定の電圧で実際にトリガをかけるには、ヒステリシスの上限 V_U か、ヒステリシスの下限 V_L (スロープに依存) を、レベル・コントロールを使って目的の電圧レベルに配置する必要があります。前に述べたように、 V_U または V_L は電圧計で測定できないので、これは容易ではありません。それどころか、ヒステリシス・ウインドウのp-p電圧を測定し (図12)、この値の1/2を、立ち上がりスロープでトリガをかける場合は V_C に加算し、立ち下がりスロープでトリガをかける場合は減算して、実際のトリガ・ポイントを求める必要があります。

$$V_{\text{TRIGGER}} = V_C + \frac{V_U - V_L}{2} \quad (\text{立ち上がりスロープの場合})$$

$$V_{\text{TRIGGER}} = V_C - \frac{V_U - V_L}{2} \quad (\text{立ち下がりスロープの場合})$$

ここで、 V_C はDC電圧計で測定できます。

次のセクションの手順で、ヒステリシス・ウインドウ $V_U - V_L$ を求めることができます。

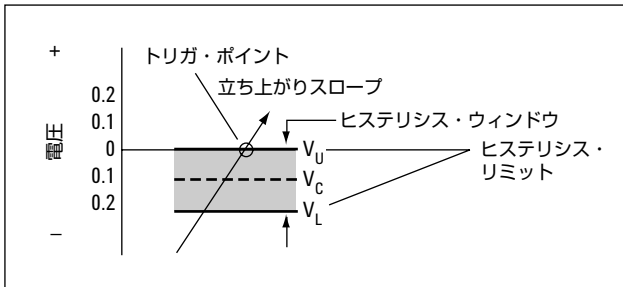


図12. 立ち上がりスロープの特定の電圧(この例では0 Vdc)でトリガをかける場合。ヒステリシスの上限/下限は、図のように配置されています。

ヒステリシス・ウィンドウの決定とゼロ・ボルト(0 V)でのトリガ

入力感度を定義するヒステリシス・リミット間の距離 $V_U - V_L$ (ヒステリシス・ウィンドウ)は、以下のいずれかの方法を用いて決定することができます。

1. ヒステリシス・ウィンドウの測定方法と V_C の決定方法

- a. 最初の方法(図13a)では、低歪みの10 kHz~100 kHzの正弦波をカウントすることにより、ヒステリシス・ウィンドウを測定します。入力振幅を小さくして、トリガ・レベル・コントロールを再調整した後で、これらの手順を繰り返して、カウンタをトリガする最小振幅信号を求めます。ヒステリシス・リミットは、p-p正弦波電圧により間隔をあけて配置されます。これは、 $2.82 \times$ (AC電圧計で測定される入力電圧)の実効値です。校正済みのDC結合オシロスコープや正弦波/方形波発生器も同様の方法で知ることができます。この場合、オシロスコープはすでにp-p電圧を表示しているので、2.82倍にする必要はありません。
- b. 2番目の方法(図13b)は、最初の方法の逆で、トリガ・レベルを変更し、ゼロ・ボルト信号をトリガすることでヒステリシスを測定します。立ち上がりスロープでのトリガの場合は、カウンタ入力をグラウンドに接続し、入力をゼロ・ボルトにします。トリガ・レベル・コントロールを正の上限値に調整して、その後トリガするまでゆっくり下げます。ヒステリシスの上限が0の入力電圧と重なると、トリガが発生します。

電圧 V_C 、 $\frac{V_U - V_L}{2}$ (この場合負)は、DC電圧計を使用して J_3 で測定できます。

実際の立ち上がりスロープでのトリガ値を求めるには、ここで求めた電圧を加算します。立ち下がりスロープでのトリガの場合も同様です。トリガ・レベル・コントロールをまず負の下限値に調整して、トリガするまでゆっくり上げます。立ち下がりスロープでの実際のトリガ電圧は、この測定された電圧を減算して求めます。

- c. $\frac{V_U - V_L}{2}$ (図13c)を求めるための3番目の方法は、マイナス電圧と0または0とプラス電圧を出力できる方形波発生器を使用します。オフセットは間違った結果を与えるので、ゼロ・ボルトは正確に0である必要があります。立ち上がりスロープでのトリガの場合は、カウンタのレベル・コントロールを正の上限値に設定します。-1 Vから0に変化する10 kHz方形波をカウンタの入力に接続します。カウンタがトリガし始めるまで、トリガ・レベル・コントロールをゆっくり下げます。ヒステリシスの上限が入力方形波の上限(0 V)と同じ場合にトリガが発生します。トリガはゼロ・ボルトで発生するため、 V'_C は既に述べたように測定できます。同様の手順を用いて、立ち下がりスロープでのヒステリシスを測定することができます。この場合、方形波出力は+1 V~0 Vの範囲で、レベル・コントロールは最初は負の下限に設定します。

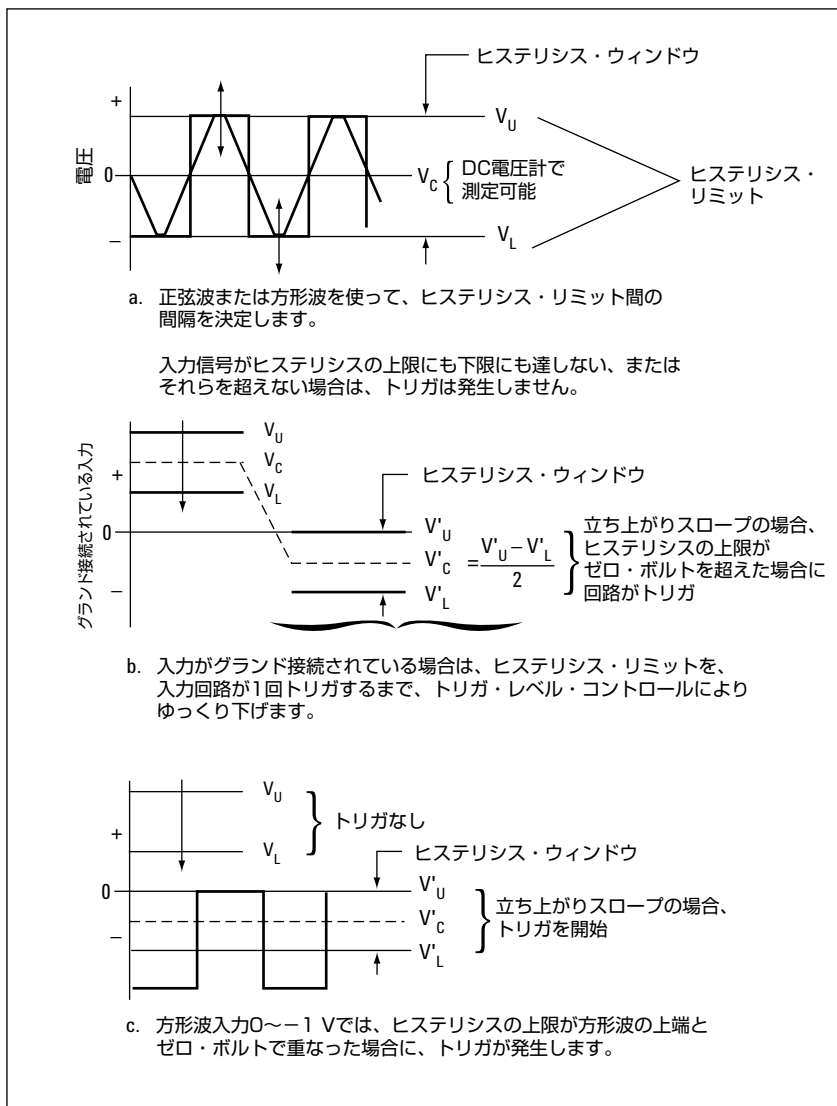


図13. ヒステリシス・ウィンドウの決定、ヒステリシス・リミット間の間隔の設定。これにより、エレクトロニック・カウンタの感度が定義され、トリガ・レベルがゼロ・ボルトに設定されます。

2. 正弦波のゼロ・ボルトでのトリガ

- d. 正弦波のゼロ・ボルトでトリガを設定します。次の手順に従って、トリガが本当にゼロ・ボルトで発生しているかを確認します。都合のよいトリガ・ポイントを使用して、タイム・インターバル測定を行います。次に、2:1などの割合で開始チャンネルの入力振幅を変更して、カウンタのタイム・インターバル読取り値が変化しているか否かを確認します。図14を参照してください。(振幅を変更しても、信号源インピーダンスもカウンタの入力インピーダンスも変化していないことが重要です。どちらを変更しても、入力信号の位相も振幅も変化しないようにします)。

開始チャンネルが図13の(a)でトリガしている場合は、入力振幅の変更に伴う時間の変動により、トリガ・ポイントが(b)にシフトするため、カウンタが変化します。開始レベルを少し再調整して、振幅の変更を繰り返します。カウンタの読み値がどちらかの振幅と同じになるまで続けます。これで、開始チャンネルはゼロ・ボルト(c)でトリガし、トリガの時間は入力信号の振幅とは独立になります。終了チャンネルについても同じ手順を繰り返して、ゼロ・ボルトでトリガさせます。

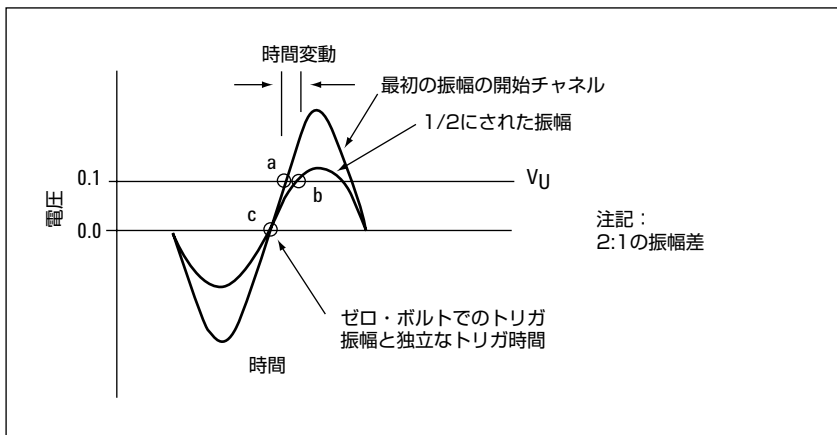


図14.
正弦波の0 Vdcで
トリガするように開始/
終了チャンネルを設定。

ヒステリシス補正

1. ヒステリシス補正とは？

従来のカウンタは、立ち上がりスロープでトリガするように設定されている場合は、図15の(a)のヒステリシスの上限でトリガし、立ち下がりスロープでトリガするように設定されている場合は、(b)のヒステリシスの下限でトリガします。

入力信号が両方のヒステリシス・リミットを超えるほど大きい場合は、スロープ・スイッチの設定に関係なく、トリガは常に発生します。但し、入力波形上のトリガ・ポイントは、スロープ・スイッチが変更されるたびに別の電圧にシフトします。

電圧 V_C を測定することにより、トリガ・レベルが得られますが、ヒステリシス・ウィンドウの半分近くオフセットされるため、正確なトリガ電圧は定義されません。

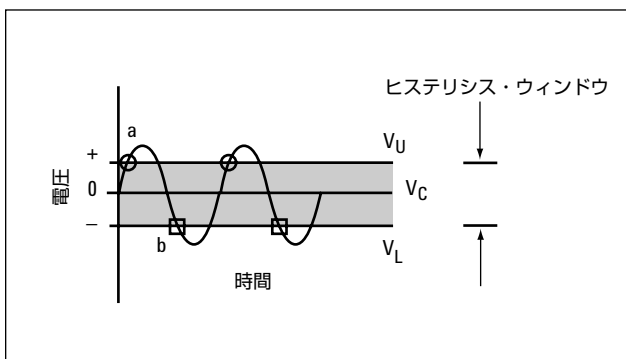


図15.
立ち上がり／立ち下がり
スロープでのトリガ。

ヒステリシス補正では、レベル・コントロール R_4 とトリガ回路の間に図6の電圧 B_1 または B_2 を挿入することにより、トリガ・スロープが立ち上がりから立ち下がりに変更されても、トリガ・ポイントはほぼ同じ電圧に保たれます。図16は、トリガ・レベル・コントロールとトリガ回路の間にオフセットまたは「バックアウト (buck out)」電圧を挿入して、 V_C を V'_C に移動させます。この内蔵電圧源により、ヒステリシスの上限 V_U が V'_U までシフトダウンされることを示しています。この電圧は、図6のバッテリー B_1 または B_2 に対応します。このオフセット電圧の振幅は、ヒステリシス・ウィンドウの1/2です。ヒステリシスの上限(立ち上がりスロープのトリガ電圧)が正反対の V_C になっていることに注意してください。DC電圧計をカウンタの内部または外部で使用して、このヒステリシス補正機能を備えたカウンタのトリガ・レベル・コントロールの電圧を測定することにより、トリガ電圧が得られます。立ち下がりスロープでトリガする場合は、 V'_C が下ではなく上にシフトするため、 V'_L が V_C と重なるという点を除いて、補正回路の動作は立ち上がりスロープの場合と同じです。

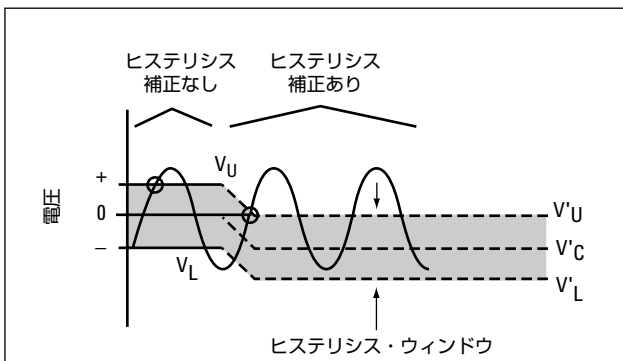


図16.
立ち上がりスロープでトリガする場合のヒステリシス補正。

2. 制限

ヒステリシス補正機能を備えたカウンタは、スロープ・スイッチが変更された場合、入力信号が両方のヒステリシス・リミットを超えることはありませんので、カウントを中止します。しかし、従来のカウンタに同じ電圧ポイントでトリガさせようとしても同じことが起きるので、これによりヒステリシス補正機能を備えたカウンタが実行できる測定が制限されることはありません。唯一の違いは、スロープ・スイッチが変更されるとヒステリシス・リミットが自動的にシフトされるのではなく、オペレータが手動のレベル・コントロールを使ってヒステリシス・リミットをシフトさせるという点です。補正されていないトリガに比べてトリガ・レベルがはっきり与えられますが、この手法には次のような制限があります。

- a. 測定されたトリガ電圧 V_C (図6を参照) により、平衡増幅器の一方の基準電圧が設定されますが、これは残りのもう一方に入力される信号電圧に関係しています。

時間、温度などの環境要因を持つ2つの増幅器の間での利得の変動やドリフトは、最初に設定された V_C と実際のトリガ電圧の間の一定の関係を損ねます。

- b. 入力増幅器がフラットな周波数応答を持たない場合は、図17のヒステリシス・ウィンドウは周波数により変化するので (TI測定の場合は、立ち上がり時間の変化に対応)、カウンタの周波数レンジ全体にわたって内部で発生させた単一の「バックアウト電圧」は正しくなく、測定されたトリガ電圧と実際のトリガ電圧ポイントの間にずれが生じます。

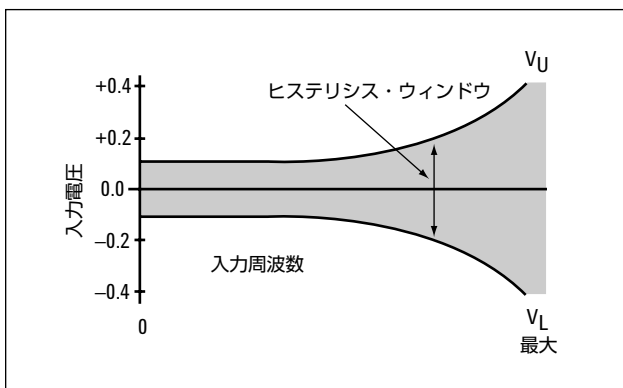


図17.
周波数の上昇に伴って入力感度が低下すると、ヒステリシス・ウィンドウの幅が広がります。

3. 5328Aオプション040および5326A/B、5327A/Bのヒステリシス補正機能

5328Aオプション040および5326A/B、5327A/Bカウンタは、タイム・インターバル・モードで動作するヒステリシス補正機能を備えています。オプション040(タイム・インターバル)およびオプション020/021(デジタル電圧計)搭載の5328Aには、READ A、READ Bとラベルの付いたスイッチ位置があり、1 mVまでのInput A(開始)またはInput B(終了)トリガ電圧を選択して表示することができます。1 mVの分解能は、前に述べた理由で、トリガ電圧の絶対確度という点からは十分過ぎるほどですが、この高い分解能により以下のことが可能になります。

- a. 以前選択したトリガ電圧のかなり近くまで復帰することができます。
- b. DVMは ΔV の読み値で1 mVの分解能があるので、トリガ・ポイントを少しずつ正確に動かすことができます。これは、立ち上がり時間を測定する場合に便利です。

DVM内蔵の5326B/5327Bには、タイム・インターバル・モードでトリガ電圧を読み取るためのREAD LEVEL AおよびREAD LEVEL Bの位置があります。

極性コントロール

このコントロールは、レベル・コントロールが変更された場合に、ヒステリシス・ウィンドウの中心がゼロから正の電圧の方向に動くか、負の電圧の方向に動くかを決めます。ほとんどのカウンタでは、+V電源と-V電源の間にレベル・コントロールが接続されています。これは、0 Vをコントロール範囲の中心に配置するために図6のように、単一のコントロールで極性(POLARITY)とレベル(LEVEL)の両方を制御する働きをします。この場合、制御素子は、0 V付近の設定可能性を高める非線形テーパーを備えている場合があります。レベル制御のアームからトリガ回路への電圧は、通常、DC電圧計での測定が可能な外部コネクタに送られます。この電圧は、ヒステリシス・ウィンドウのおおよその中心 V_C を定義します。

より振幅の大きい信号を測定するための入力アッテネータ

2:1、10:1、20:1、100:1アッテネータにより、入力回路に過負荷または損傷を与える可能性のある高振幅信号の測定が可能になります。このアッテネータには、ヒステリシス・ウィンドウを減衰係数分だけ**拡大する**効果があります。例えば、100 mV rmsの感度を持つカウンタは、282 mV (100 mV rmsのp-p値)のヒステリシス・ウィンドウを持っています。x10のアッテネータでは、感度が1 Vrmsに高まり、ヒステリシス・ウィンドウは2.82 Vになるため、この振幅を下回る信号はカウントできなくなります。他の減衰係数についても、同様です。

スロープ、極性、レベル、アッテネータ・コントロールにより、電気入力信号上の任意の位置で測定を開始/終了することができます。但し、立ち上がりスロープでのトリガの場合は、信号の負の最小値を、立ち下がりスロープでのトリガの場合は、正の最大値を除きます。(ピークでは、信号がヒステリシス・リミットを超えることはありません)。これらのコントロールの動作は、最新のオシロスコープの掃引回路の場合と似ています。オシロスコープでは、これらのコントロールは、入力波形上の掃引の開始位置を決定します。カウンタでは、これらのコントロールは、測定の開始/終了位置を決定します。

トリガ・ライト

タイム・インターバルを測定する場合、開始/終了パルスを受け取った場合にだけ、カウンタは読み値を表示します。未知の信号でのセットアップ中は、両方の入力チャンネルがトリガしているかどうか、カウンタがゲーティングしていないかどうかは、必ずしも明確ではありません。初期セットアップを容易にするために、通常は、チャンネルごとに1つのトリガ・ライトがあります。チャンネルの動作を表示するのにネオン・ランプまたはLEDが用いられているため、他のチャンネルがトリガしているか否かに関係なく、そのチャンネルがトリガしているかどうかを識別することができます。トリガ・ライトのドライブ回路には、パルス伸張器が組み込まれているので、実際の入力パルスが非常に急峻な場合でもライトが長く点灯するため、十分確認できます。

1. 2ステート

2種類の一般的なトリガ・ライト表示が用いられています。5308Aでは、2ステート表示が用いられています。5326/5327シリーズのカウンタには、回路がトリガしていない場合にオフになり、回路がトリガしている場合に点滅するライトがあります。入力繰り返し周波数が約50 Hzより上になると、トリガ・ライトは点灯し続けているように見えます。

2. 3ステート

5328Aに用いられている3ステート表示のトリガ・ライトは、オフ／点滅／オンのいずれかになります。トリガ・ライトは、入力がトリガ・レベルを下回っている場合(信号が小さ過ぎる、信号上にDC成分がある、トリガ・レベルが間違っていて設定されていることに起因)はオフ、入力がトリガ・レベルを上回っている場合は連続的にオン(但し、トリガはなし)になります。また、最大約10 Hzのレートの場合は入力がトリガするたびに、10 Hz～100 MHzの入力の場合は約10 Hzのレートで、ライトが点滅します。これにより、トリガしていることが分かるだけでなく、カウンタがトリガしていない場合の問題もある程度確認できます。

マーカ

多くのエレクトロニック・カウンタは、入力チャンネルがトリガされると、マーカとして使用するための電気信号を発生します。

数種類のマーカがあります。

1. ドット・マーカ

チャンネルがトリガされた場合に、オシロスコープのトレースを輝度変調して入力信号を表示するために用いることができる、短時間の電気マーカ・パルス(100 ns幅)を出力します。このマーカは、オシロスコープのディスプレイに、波形上の輝点として表示されます。

ドット・マーカ・パルス(図18)は、入力波形の立ち上がり時間と比べると、マーカ幅と回路遅延がともに小さいので、立ち上がりの遅い波形上のトリガ・ポイントを示すのに便利です。しかし、高速立ち上がりパルスでは、こうした効果はなくなります。また、CRTの蛍光材の立ち上がり／減衰時間の面からも、輝度マーカは、ns領域ではほとんど役に立ちません。これは、輝度マーカがドットというより彗星のように見え始めて、実際のトリガ・ポイントがはっきりしなくなるからです。

ドット・マーカ出力は、100 Hz～100 kHzの正弦波信号に有効です。これより高い周波数では、マーカ幅が入力信号のかなりの部分を占め、マーカは入力波形上の特定のポイントを明示しなくなります。また、輝度変調(Z軸)増幅器による遅延も通常は分からないので、ドット・マーカはサブ μ s領域ではほとんど役に立ちません。

低周波では、マーカを表示することが難しい1サイクルの非常に小さな部分のトレースの輝度が上がるので、ドット幅を大きくしない限り、ドット・マーカは有効ではありません。ほとんどのタイム・インターバル・カウンタでは、スタート・マーカ／ストップ・マーカ出力用に個別のコネクタが用意されています。

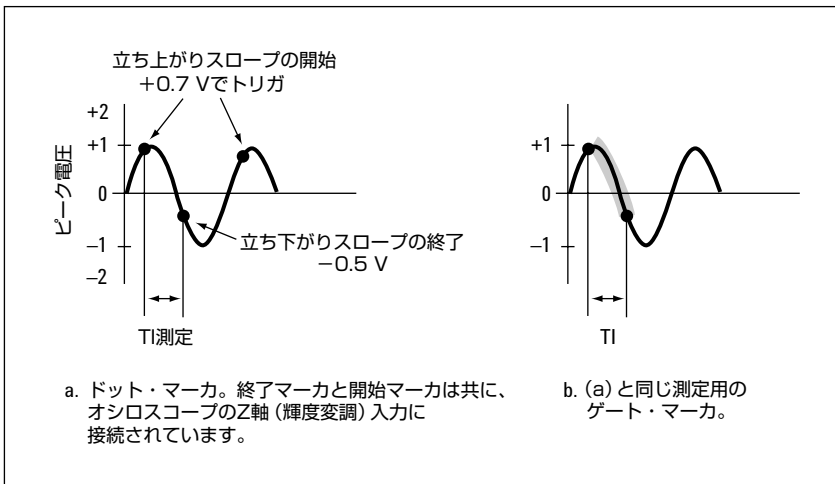


図18.
オシロスコープ上に表示されるタイム・インターバル・マーカ。

2. ゲート・マーカ

ゲート・マーカ（図18b）は、カウンタの測定期間（ゲート・オープン・ゲート・クローズ間）にDC電圧を発生させます。カウンタがスタート信号を受け取ってからストップ信号を受け取るまでの間の入力信号のオシロスコープ・ディスプレイの輝度を高めるのに使用できます。

HIGHインピーダンス・ゲート・マーカは、非常に低い周波数、またはタイム・インターバル測定におけるトリガの基本を示すためには最適ですが、ドット・マーカと同様の欠点があるので、高速パルスや短い遅延測定には有効ではありません。図19は、オシロスコープ上に表示されるマーカを示したものです。

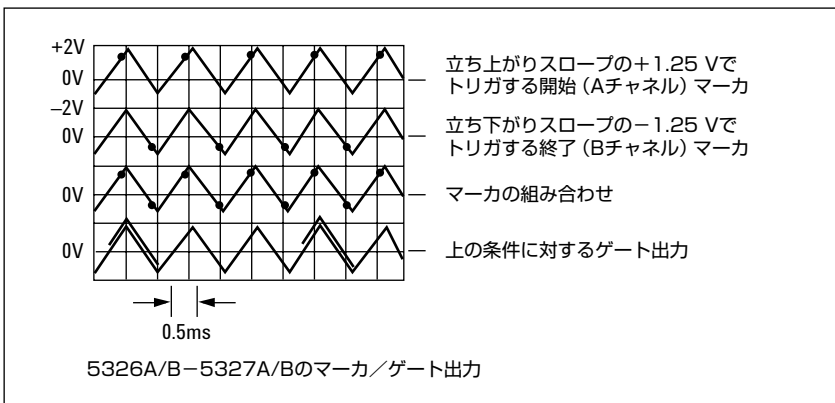


図19.
実際のドット/ゲート・マーカ出力

注記：ドット・マーカは、トリガ回路により発生するので、すべての入力サイクルに表示されます。ゲート・マーカは、ゲートがオープンしている場合にだけ表示されるので、ゲートがオープンしない限り表示されません。

5345Aおよび5328Aオプション040には、50 Ωのゲート出力もあります。立ち上がり時間は高速です。このゲート出力は、信号に接続されている広帯域オシロスコープの第2チャンネルに表示したり、入力信号と組み合わせて表示することができるので、カウンタの全周波数レンジにわたって有効です。これらのゲート・マーカは、実際のゲート時間から10 ns~100 nsだけオフセットされている場合があります。詳細については、カウンタのデータシートを参照してください。図20および図21は、マーカを図示したものです。

3. 方形波マーカ

5328Aには、チャンネルAとチャンネルBのシュミット・トリガ出力をそのまま反転させた、50 Ω終端用の100 mVマーカ出力があります(図21b)。これらは、デュアル・チャンネル・オシロスコープ上に入力信号と一緒に表示することができます。これらのマーカは非常に高速なので、100 MHzの50 Ωシステムに有効です。一般に、マーカ出力と実際のトリガの間には多少の遅延があります。詳細については、カウンタのデータシートを参照してください。5328Aオプション040高性能ユニバーサル・モジュールは、TI A→B測定中にハイになるゲート型のマーカに加えて、上述のチャンネルAマーカを備えています。どちらのマーカも、フロント・パネルのコネクタから利用できます。

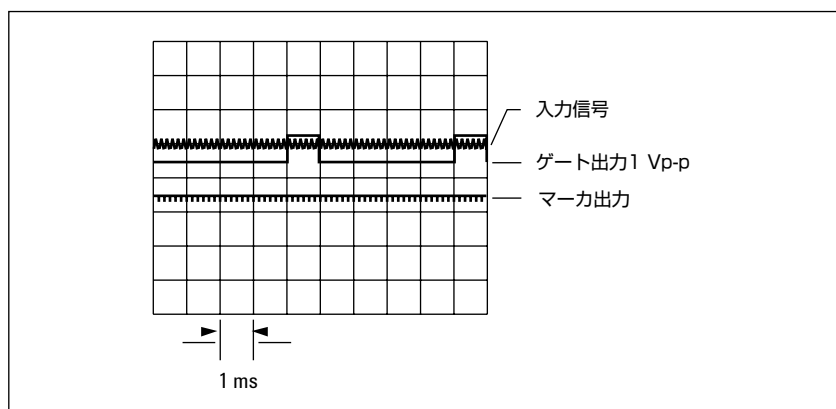


図20.
5328Aのゲート出力1
のp-p (50 Ω負荷で終
端)。

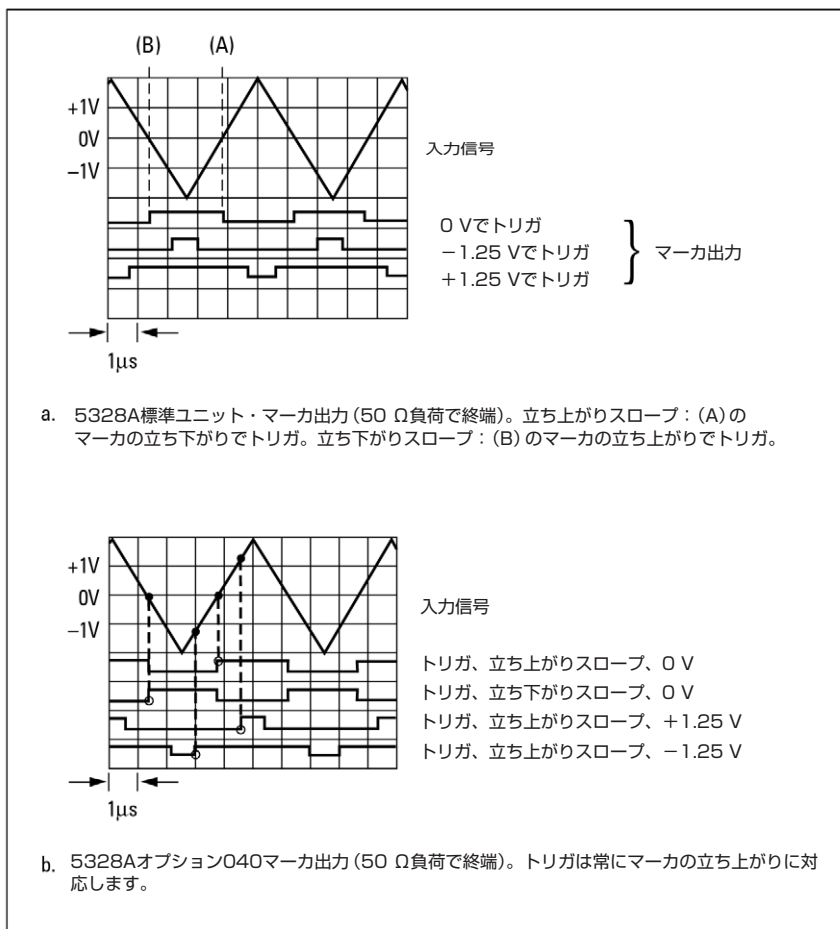


図21.
5328Aカウンタの
方形波マーカ出力。

遅延コントロール

従来の入力コントロールに加えて、5328Aオプション040および5304Aにはそれぞれ、開始入力に対応する遅延コントロールがあります。このコントロールは、複雑な信号や雑音の大きな信号の測定に有効です。測定が開始されると（開始パルスに続いて）、既定の調整可能なアナログ遅延が終了するまで、終了パルスはロックアウトされます。遅延の終了に続く最初の終了パルスで、測定は終了します。この機能は、接点バウンスによる誤差を回避するために遅延が用いられるようなりレーのテストでは有効です。図22aでは、1で開始された測定は通常、最初のバウンスの2で終了します。遅延時間を3より大きく4より小さな値に調整することにより、コイルのドライブ電源が絶たれた後の最初の接点クローズから最初の接点オープンまでの時間を測定できます。図22bは、ATC（航空管制）システムなどに用いられている複雑なパルス列の特定のパルス間での測定が必要なアプリケーションを示したものです。ここでは遅延コントロールは、パルス

列内の特定の終了位置を選択するために用いられています。また、サンプリング・レート・コントロールを用いれば、カウンタの「デッド・タイム(デッド・タイム)」も制御できるので、パルス列間の時間もかなり制御できて便利です。

5345Aもこの種の測定に用いることができますが、この場合は、8007Aパルス・ジェネレータなどの外部ジェネレータにより、遅延信号が作成されます。パルス・ジェネレータでは、外部から供給された基準(同期)パルスに関しては、デッド・タイムと遅延の両方を制御できるので、これらの組み合わせることにより、測定の柔軟性が大幅に高まります。パルス幅はロックアウト・インターバルを定義し、パルス遅延はパルス列などの波形上の開始パルスの位置を定義します。

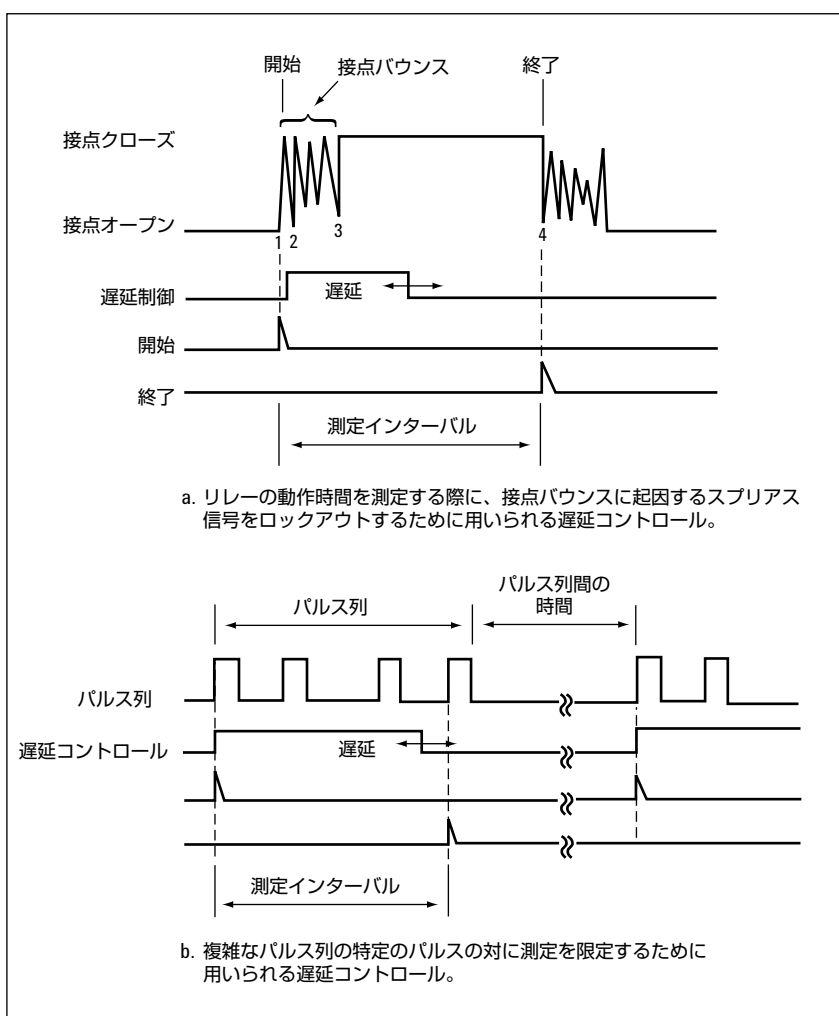


図22. タイム・インターバル測定の遅延コントロールの使用法。

タイム・インターバル・アベレージング

繰り返し信号では、タイム・インターバル・アベレージングにより、タイム・インターバル測定の分解能が向上します。また、アベレージング回路のデザインによっては、測定可能な最小インターバルをカウンタ・クロックの周期未満にすることも可能です。

繰り返し信号により±1カウント誤差が $1/\sqrt{N}$ で低減

タイム・インターバル・アベレージングの基本は、デジタル測定に固有の±1カウントのランダム誤差を統計的に低減することです。インターバルを多くアベレージングするほど、未知のタイム・インターバルが真の値に近づきます。但し、これは、±1のカウント誤差がランダムな場合だけです。「ランダム」という言葉には意味があります。タイム・インターバル・アベレージングが機能するには、タイム・インターバルは以下の条件を満たす必要があります。(1) 繰り返し信号である、(2) 測定器のクロックと非同期の繰り返し周波数である。

これらの条件で、測定の分解能は以下の割合で向上します。

$$\frac{\pm 1 \text{ カウント}}{\sqrt{N}}$$

ここで、N=アベレージングされるタイム・インターバルの数

\sqrt{N} は、TIアベレージングによる分解能の向上です。

タイム・インターバル・アベレージングを実行すると、カウンタが実際に表示する桁数は、アベレージングされるインターバル数に比例して増加します。すなわち、10回のアベレージングでは1桁追加表示され、10000回のアベレージングでは4桁追加表示されるという具合です。アベレージングによる測定分解能の向上はあくまで、 \sqrt{N} （この場合では、3または100）に過ぎないので、これは紛らわしいかもしれません。これを超えて表示される桁は乱数なので、全く役に立ちません。5345Aエレクトロニック・カウンタには、これらの無用な桁を削除するように設定できる表示位置スイッチがあるので、オペレータの混乱を軽減することができます。5370Aや5315Aなどの最新のマイクロプロセッサ制御の測定器は、不要な桁を自動的に切り捨てます。

タイム・インターバル・アベレージングが有効な場合

- 単一のタイム・インターバル測定で±1カウント誤差があると、タイム・インターバル測定の確度／分解能が大幅に低下する場合。
- 入力信号に雑音やジッタが重ね合わさっている場合。

例：

繰り返しパルスの幅が約1 μ sの場合は、従来のシングル・ショット方式でのパルス幅測定の ± 1 カウント誤差は、100 ns、10 ns、2 ns (カウンタのクロックの周期)になります。この誤差は、タイム・インターバルの大部分を占めます。しかし、 10^4 回のタイム・インターバル・アベレージングにより、1 ns以上の優れた分解能を実現できます。アベレージングは、信号が繰り返してカウンタ・クロックと同期していない場合にのみ有効です。

クロックと入力同期すると、システムはサンプリング・システムとして動作するので、アベレージングによる向上はありません。5345Aおよび5328Aオプション040は、すべてのTIアベレージング測定に特許取得済みの雑音変調クロックを使用することにより、真のタイム・インターバル・アベレージングを実現しています。このため、繰り返し周波数を考える必要はありません。

アベレージングを用いた場合、タイム・インターバル測定の分解能は、測定器に固有の雑音にのみ制限されます。これらのカウンタは、50 psの分解能を実現しています。

真のTIアベレージングに必要なシンクロナイザ

タイム・インターバル・アベレージングを実行する場合は、カウンタの開始／終了チャンネルにシンクロナイザ回路が必要です。この回路は、カウンタ・ゲートが不完全なパルスを受け取らないようにします。不完全なパルスがあると、表示される応答が予測できない動作で真の値からバイアスされる可能性があります。

シンクロナイザは、図23のように動作します。一番上の波形は、方形波クロックと非同期の繰り返しタイム・インターバルを示しています。これらの信号がメイン・ゲートに印加されると、3番目の波形に似た出力が結果として生じます。この出力の大部分はクロック・パルスより短い持続時間になります。クロック周波数でカウントするように設計されたデケード・カウンタは、クロックより短い持続時間のパルスを無視します。そのため、カウントは、4番目のトレースのようになります。実際にカウントした短い持続時間のパルスの数は分からないので、正確なカウント数は不確かです。測定されるタイム・インターバルはクロック周期より多少大きくなり、フル・クロック・パルスをカウントする必要があるので、4番目の波形は、アベレージングされた応答に誤差があり、バイアスされ、通常は低くなります。

この問題は、ゲートがオープンしている間に発生するクロック・パルスの立ち上がりを検出するように設計されたシンクロナイザを用いることにより、軽減されます。シンクロナイザが使用されている場合の波形は、5番目の波形に示されています。立ち上がりが検出され、復元されています。パルスの持続時間はクロックと同じです。

シンクロナイザは、タイム・インターバル・アベレージングに必要なパーツです。シンクロナイザがなければ、読み値は安定した数値に落ち着いているように見えますが、アベレージングされた応答はずれます。さらに、シンクロナイザを用いることにより、クロック周期よりかなり短いタイム・インターバル測定を実行できるカウンタを設計できます。この手法に、シンクロナイザが必要ですが、高速のシンクロナイザを用いれば、クロック周期が例えば100 nsでも、100 psのインターバルを測定できます。

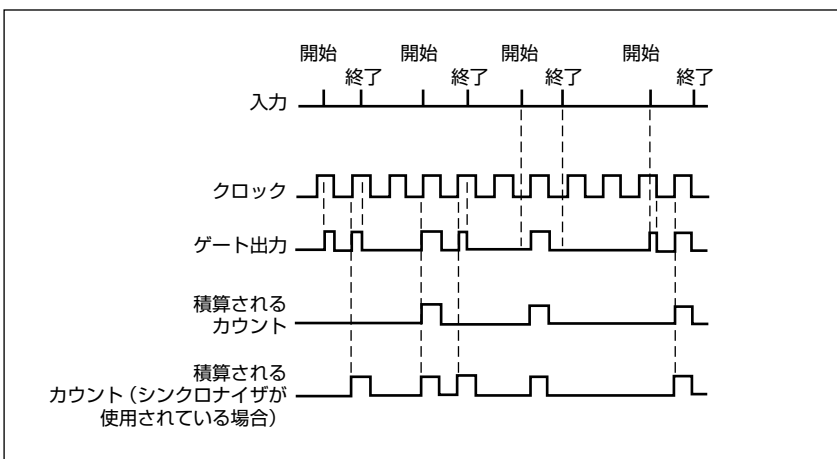


図23.
タイム・インターバル・アベレージングでのシンクロナイザの動作。

タイム・インターバル測定のゼロ時間への拡大

この手法は、5328A、5308A、5326A/B、5327A/Bカウンタで、最小TIアベレージング測定をnsまたはサブns領域まで拡大するために用いられます。これらのカウンタでシンクロナイザ・システムを使用することの主な欠点は、終了パルスから次のパルスまでの時間がクロック周期より常に長くなるため、複数の終了パルスにより間違った読み値が表示される可能性があることです。

5345Aは、別のシンクロナイザ手法を採用しているもので、10 ns未満のタイム・インターバル・アベレージング測定は実行できませんが、10 ns間隔(50 MHzのレート)の10 ns幅のパルスを測定できます。

10 nsの最小タイム・インターバルは、10 nsの遅延(約200 cmのRG-58/Uケーブルに相当)を終了(B)チャネル入力に追加することにより常に回避できるので、重大な制限ではありません。追加遅延を図24のように測定して、同じインターコ

ネット・ケーブルを使用する測定から減算することができます。5363Bプローブ・ボックスにはこの遅延機能が搭載されているので、すべてのシステム遅延差が含まれるように10.0 nsに調整することができます。アプリケーション・ノート162-1「Time Interval Averaging」では、TIアベレージングについて詳細に説明しています。

タイム・インターバル・アベレージングの欠点

- 繰り返しパルスが必要である。
- アベレージング・プロセスにより必要な情報が破壊されるので、ジッタの実効値やヒストグラムなどの統計測定には有効ではない。
- 低い繰り返し周波数のタイム・インターバル測定を実行するためには長時間を要する。

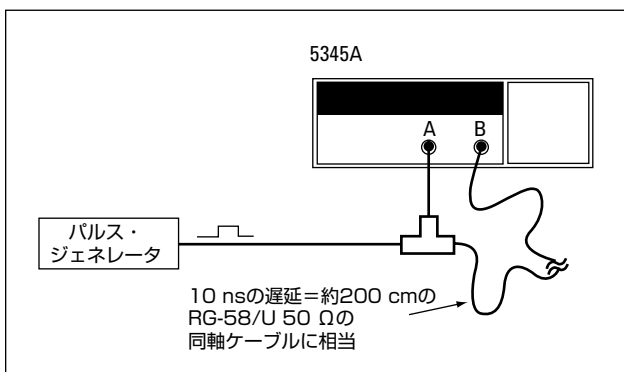


図24.
終了チャンネルに遅延を追加することにより、タイム・インターバル測定をゼロ時間まで拡大。

タイム・インターバル誤差の評価

タイム・インターバル測定のカウント誤差は、以下の誤差から構成され、最大誤差は、すべて加算します。

- ±1カウント
- ±トリガ誤差 (トリガの設定可能性を含む)
- ±タイムベース誤差
- ±系統誤差 (短いインターバルの測定時)

±1カウント誤差

エレクトロニック・カウンタで行われる測定では、±1カウントの不確かさがタイム・インターバル測定の最下位桁に存在する可能性があります。これは、通常の測定状況では、デジタル化され、内部カウントされるクロック周波数と入力開始/終了信号が同期していないために生じます。クロック・パルス間に開始信号または終了信号が発生すると、カウンタは1クロック・パルス未満を補間することができないので、測定は±1クロック周期分だけずれてしまいます。500 MHzのクロックでは、±1カウントは±2 nsに相当します。100 MHzクロックでは、±10 nsに相当します。唯一の例外は、デジタル補間方式を用いて±20 psの理論上の分解能を実現する5370Aカウンタです。

±1カウント誤差は、立ち上がり測定または高速パルス測定を実行する場合などの、表示桁の総数がわずか4桁以下の短いタイム・インターバル測定では、この固定誤差がかなりの部分を占めるため、重要です。シングル・ショット測定の場合は、この±1カウント誤差により、カウンタの最終的な分解能が決まります。

±1カウント誤差は、入力信号が繰り返しの場合は、タイム・インターバル・アベレージングにより、 \sqrt{N} (N=アベレージングされるインターバルの数) だけ低減できます。

タイム・インターバル・アベレージングは、±1カウント誤差のランダムな発生に依存するため、カウンタの内部クロックと入力信号が同期している場合は機能しません。3545Aおよび5328Aオプション040は、特許取得済みの雑音変調クロックを内蔵しているので、同期を心配する必要はありません。

±トリガ誤差

トリガ誤差は、カウンタが入力信号の期待される電圧レベルでトリガしない場合に発生します。原因としては以下が考えられます。

雑音または歪み。

- 入力信号上。
- カウンタに入った後に信号に追加された。

温度の変化、電源電圧の変化、コンポーネントの経年変化による、いずれかのチャンネルのトリガ電圧ポイントのドリフト。

高速立ち上がり信号に対するエネルギー効果。

1. 入力信号の雑音

図25aでは、トリガは、+1 Vに設定されています。

入力信号の低周波雑音は、トリガを早く(図25b)または遅く(図25c)発生させる可能性があります。高周波雑音は、早期トリガだけを引き起こす可能性があります。

雑音は開始または終了パルス、あるいはその両方で発生する可能性があります。このため、例に示されている誤差の2倍も測定が長過ぎたり、短過ぎたりする場合があります。

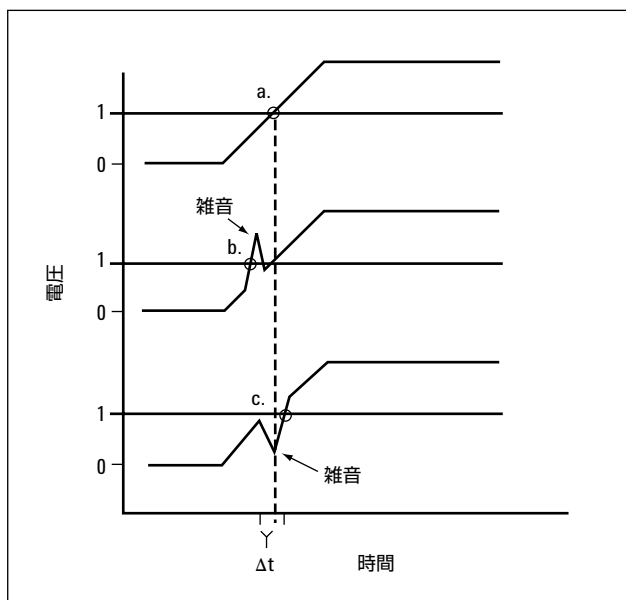


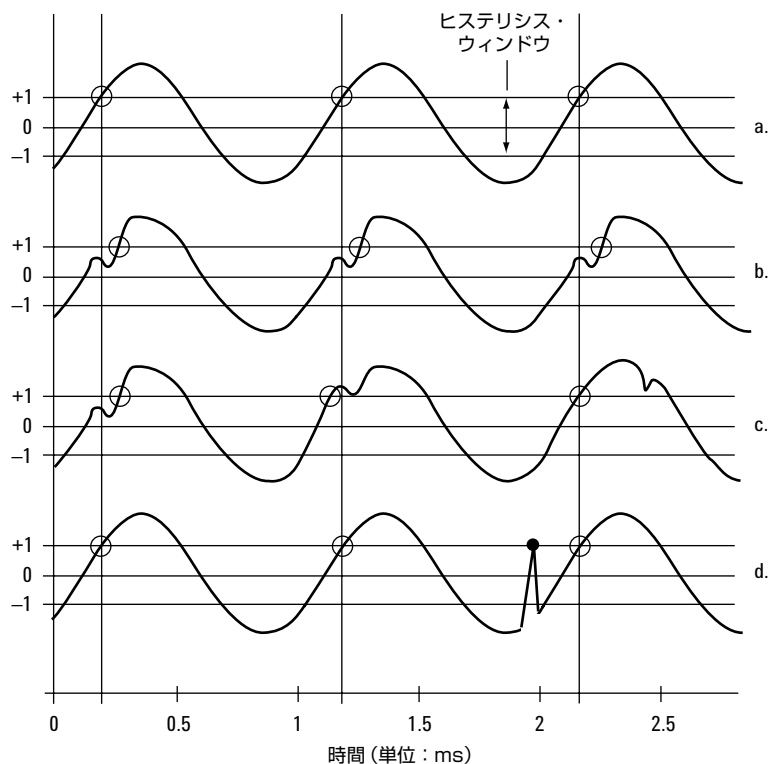
図25.
入力信号上の雑音に
起因する時間誤差。

2. 入力信号の歪み

図26は、高調波雑音と非高調波雑音が、時間とともにどのように動いて行くかを示したものです。信号に対する雑音の影響も示されています。

3. 信号振幅の増加による時間誤差の減少

信号振幅を大きくすることにより、高振幅信号に低振幅信号以上の雑音が含まれていない場合は、時間誤差 Δt が減少します。実際のアプリケーションでは、雑音の原因がグラウンド・ループ、または必要な信号レベルに関係なく振幅が比較的一定のその他のスプリアス信号である場合に、このような状況に



注記：

1000 Hzの信号。

立ち上がりスロープの+1 Vでトリガするように設定。

(ヒステリシス・ウィンドウは、0 Vdcを中心とする2 Vp-pです)。

丸印は実際のトリガ・ポイントを表します。

- 低歪み正弦波信号でトリガ。丸で示されたトリガ・ポイントは、各サイクルの時間的に同じ相対ポイントで発生します。
- 高調波歪みのある正弦波。トリガ・ポイントは時間については波形 "a" からずれていますが（電圧はずれません）、サイクル間で一定です。歪み電圧が両方のヒステリシス・リミットを超えるほど大きくならない限り、サイクル毎に1つの出力パルスしか発生しません。測定により、入力信号の高調波歪みにより誤差が生じる場合もあれば、生じない場合もあります。
- 互いに高調波周波数の関係のない歪みのある正弦波。トリガ・ポイントは、歪みにより早くまたは遅く発生する可能性があるだけでなく、サイクル毎に時間が異なります。入力信号の高調波周波数でない歪みは、通常、測定に誤差が生じます。
- 雑音のある正弦波。雑音はランダムなので、トリガ・ポイントは、正弦波信号を基準にしてどこでも発生する可能性があります。特に、トリガ・レベルを超える雑音信号電圧により、不適切なトリガが生じることに注意してください。低周波正弦波に高速スパイクが見られる場合に、平均電圧またはパワーを調べるディストーション・アナライザを使って測定すると、歪みは大きくないように見えます。この種の誤差を調べるには、ピーク電圧計またはオシロスコープを使用します。*

* オシロスコープを使って信号の雑音パルスを調べる場合は、オシロスコープの帯域幅が測定に使用しているカウンタの分解能を満足している必要があります。例えば、5328Aカウンタを使用している場合は、入力信号の周波数が100 Hz以下の低周波でも、カウンタは高速パルスを分解できるので、入力信号の5 nsの高速雑音パルスを調べる必要があります。5345Aは、2 nsの分解能があるので、雑音パルスを調べるには、500 MHzのオシロスコープが必要です。

図26.
高調波／非高調波歪みと雑音による測定の開始／終了時間への影響。

なります。一般に、アッテネータの設定に関係なく、入力信号の振幅が大きいほど、雑音に起因する誤差は小さくなりますが、最終的にカウンタの入力過負荷保護回路が機能するため、振幅を無制限に大きくすることはできません。保護回路は測定を完全に歪め、大きな過負荷では読み値に誤差が多くなる可能性があります。

特に正弦波入力では、ヒステリシス・ウィンドウ内で信号のスロープが増加するので(図27を参照)、大きな振幅が有利です。トリガをスロープが一番急勾配になる正弦波の中心付近に設定すると、最も誤差が小さくなります。

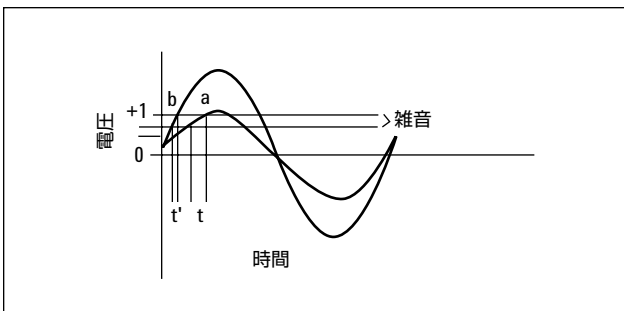


図27.
信号の振幅を大きくすることにより、時間誤差が減少。

AC結合の対称信号でトリガをゼロ・ボルトに設定した場合(図14)、トリガ・ポイントは、時間に関しては信号の振幅と関係なくなります。ピークの前後のわずかな傾きにトリガを設定すると、大きなトリガ誤差が生じるため、正弦波のピーク付近でのトリガは避けてください。同様の理由で、入力信号が無限に高速の立ち上がり時間(理論上のみ)を持つ場合は、電圧レベル間の時間差はゼロなので(図28)、波形上のどこでトリガが発生するかという問題は生じません。

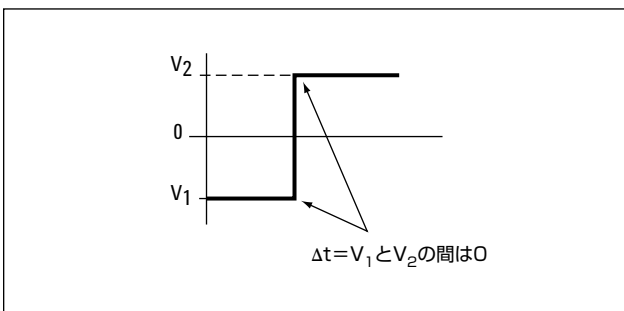


図28. 無限に高速の立ち上がり時間を持つ入力信号の場合は、トリガ電圧に関係なく、トリガ時間は本質的に同じです。

多くの場合、タイム・インターバル測定は、ある信号上のあるポイントから別の信号上の対応するポイントまで行われます。このような測定では、開始と終了が入力信号上の対応するポイントにある限り、トリガ・ポイントの位置は重要ではありません。トリガ・ポイントはできるだけ、電圧変化率が最大の位置にしてください。図29に示されているように、雑音電圧の振幅が同じ場合は、時間誤差が最小になります。

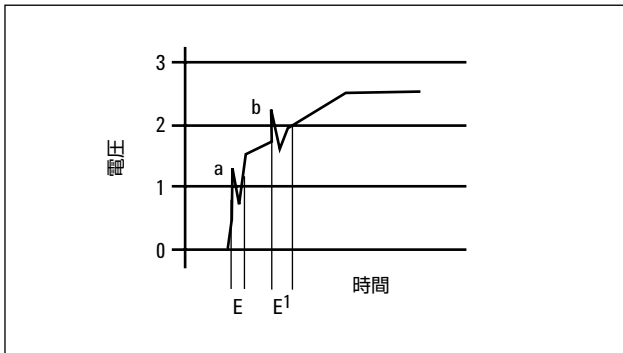


図29. 同じ振幅の雑音パルスでも、立ち上がりの遅い信号(b)よりも立ち上がりの速い信号(a)の方が誤差が小さくなります(E)。

4. 雑音または歪みに起因するトリガ誤差の計算

タイム・インターバル測定では、トリガ誤差の評価に2つの式が用いられます。1つは正弦波入力用で、もう1つはパルス入力用です。一般的な誤差の式は、以下のように導きます。図30を参照してください。

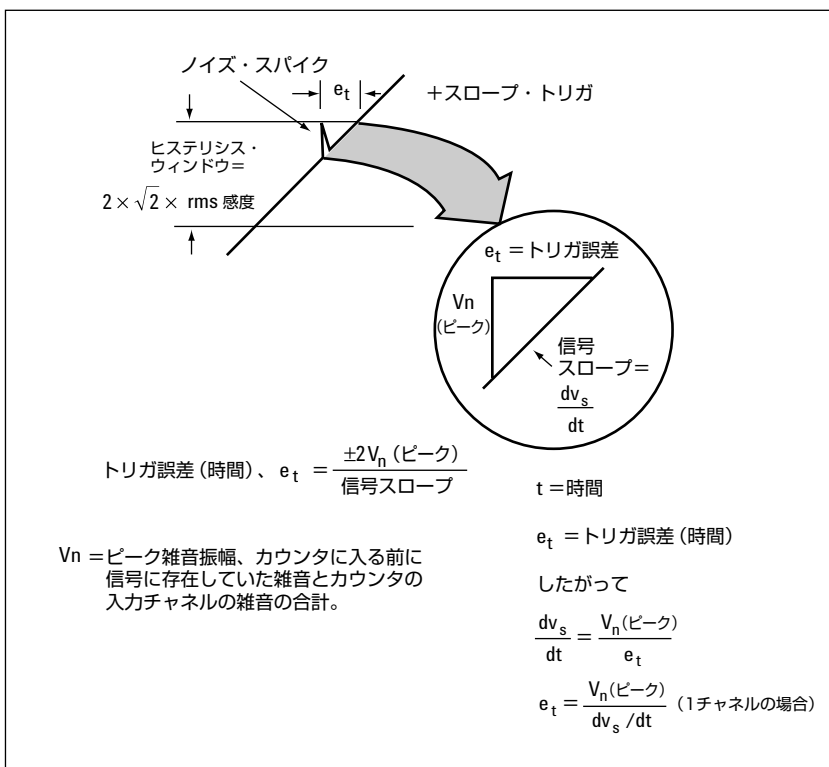


図30. トリガ誤差の算出

開始チャンネルと終了チャンネルの両方の誤差を考慮するために、 ± 2 の因子が含まれています。 \pm 記号は、ゲートが早くまたは遅くオープン/クローズする可能性があるという事実を考慮するためのものです。

5. 入力増幅器の雑音に起因するトリガ誤差

カウンタの入力が全ノイズに寄与する実効雑音のRMS値については、通常は仕様化されていません。多くの場合、無視しても問題ありませんでしたが、カウンタの高度なアプリケーションの増加にともない、雑音寄与を仕様化する必要があります。例えば、5315Aでは、この雑音成分はカウンタの帯域幅全体で $80 \mu\text{Vrms}$ と仕様化されています。

6. 正弦波入力信号のトリガ誤差

$$\text{信号} = v_s(\text{ピーク}) \sin 2\pi ft = v_s$$

$$\frac{dv_s}{dt} = 2\pi f v_s(\text{ピーク}) \cos 2\pi ft$$

スロープは、 $\cos 2\pi ft = 1$ の場合、波形の中心で最大です

$$\left. \frac{dv_s}{dt} \right|_{\max} = 2\pi f v_s(\text{ピーク})$$

前述の一般的な誤差の式に代入します

$$\text{トリガ誤差 } e_t = \frac{\pm 2V_n(\text{ピーク})}{2\pi f v_s(\text{ピーク})}$$

40 dBのS/N比の場合（パワーではなく電圧）

$$\frac{V_n(\text{ピーク})}{v_s(\text{ピーク})} = 0.01$$

$$\text{トリガ誤差} = \frac{\pm 2}{2\pi f} \times \frac{V_n(\text{ピーク})}{v_s(\text{ピーク})} = \frac{\pm 2(0.01)}{2\pi f} = \pm \frac{0.003}{f}$$

ここで、 $T = \text{信号の周期}$

$$\text{フラクショナル時間誤差} = \frac{\Delta T}{T} = \frac{e_t}{T} = \pm \frac{0.003}{\frac{f}{T}} = 0.3\%$$

40 dBのSN比の場合、雑音は、信号（ピーク電圧に対して）から40 dB下にあります。これは、周期とタイム・インターバルの両方の確度仕様に最もよく見られる式です。この計算方法では、入力信号の振幅に対する条件はありませんが、最大スロープでのトリガを仮定しているので、正弦波信号がこの条件を満たすためには、ピーク入力信号が実際のヒステリシス・ウィンドウを約30%以上超えている必要があります。正弦波信号のいずれかのピークまたはピーク付近でトリガした場合、トリガ誤差が10倍になる可能性があります。入力信号上の歪みを減らすことにより、この誤差は多少軽減されますが、入力歪みが50 dB以上減少した場合は、入力回路内部で発生した雑音が大きくなるので、期待したほど軽減されません。

7. パルス用のトリガ誤差の式

$$\text{トリガ誤差 (時間)、 } e_t = \pm \left(\frac{V_n(\text{ピーク})}{\text{開始チャンネルの信号スロープ}} + \frac{V_n(\text{ピーク})}{\text{終了チャンネルの信号スロープ}} \right)$$

100 mV rms感度のカウンタでは、ヒステリシス・ウィンドウ = 100 mV × 2.82 = 282 mV

40 dB (振幅) のS/N比の場合、100 mV rms信号のp-p雑音は2.82 mV、ピーク雑音は1.41 mVです。

したがって、

$$\text{トリガ誤差、 } e_t \text{ (1チャンネルの場合)} = \frac{(1.41 \text{ mV})}{\text{信号スロープ}} = \frac{0.00141 \text{ V}}{\text{信号スロープ}}$$

$$\text{全タイム・インターバル誤差} \approx \pm \frac{0.00141}{\text{開始チャンネルの信号スロープ}} \pm \frac{0.00141}{\text{終了チャンネルの信号スロープ}}$$

ここで、信号スロープは単位時間当たりの電圧

この計算方法では、カウンタの入力感度に依存するため (この例の場合は、100 mV rmsが使用されています)、他の入力感度を備えたカウンタの場合は、式が異なります。開始チャンネルのスロープと雑音、終了チャンネルのスロープと雑音は異なる場合があるので、各チャンネルごとに個別に評価する必要があります。

8. 入力信号の影響とカウンタに起因する雑音の組合わせ

信号のトリガに関連する雑音のRMS値は以下ようになります。

$$\frac{\sqrt{X^2 + e_n^2}}{\text{トリガ・ポイントにおける入力のスローレート}}$$

ここで、X = カウンタの入力チャンネルの実効雑音のRMS値 (5314Aおよび5315Aの場合は、80 μV)

e_n = カウンタの帯域幅と同じ帯域幅で測定された入力信号の雑音電圧のRMS値。

タイム・インターバル測定の場合、トリガ誤差が開始信号と終了信号の両方で発生し、雑音がRMS値ベースで加算されるので、タイム・インターバル測定でのトリガ誤差のRMS値は以下ようになります。

$$\frac{1.4 \sqrt{X^2 + e_n^2}}{\text{トリガ・ポイントにおける入力のスローレート}} \text{ s rms}$$

ほとんどの場合、主な雑音成分は、入力信号に依存しています。入力信号が特に「静かな(低雑音の)」場合、入力増幅器が問題となります。現在のロジック信号の高速スルーレートでは、雑音誤差の影響が大幅に軽減されるため、実際には多くの場合、これらは無視しても問題はありません。

9. エネルギー効果

トリガ・ポイントの時間誤差に加えて、いわゆる「エネルギー効果」も、 μs 以下のインターバルを測定する場合に考慮すべき要因です。この効果は、常に存在しますが、長いインターバルを測定する場合は、通常は雑音やその他の要因よりも小さく影響はほとんどありません。トリガ回路が動作するためには、ある程度の電荷量(図31の斜線部分)が必要です。この電荷量は、入力電圧が選択したトリガ電圧ポイントを超えた後、一定量を必要とします。これがエネルギー効果です。トリガを開始するために必要な変化量は、入力増幅器-トリガ回路の感度と回路の帯域幅の関数であるため、カウンタのモデルごとに異なる場合があります。この効果が原因で、カウンタは常に、選択された電圧より高い(または、選択したスロープにより低い)電圧でトリガするため、測定は常に期待された時間より遅い時間に開始/終了します。

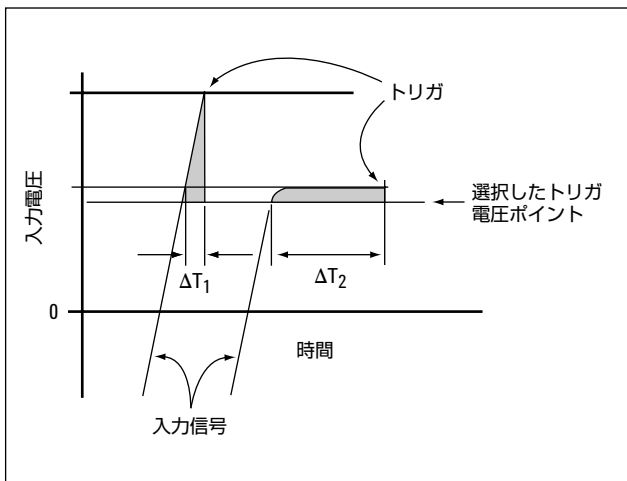


図31.
エネルギー効果により時間誤差 ΔT が生じます。この誤差は、選択したトリガ・ポイントを信号が大きく超えていない場合で、短い T_i 測定で大きくなる可能性があります。

「エネルギー効果」に起因する時間誤差は、信号の最大偏位の範囲内のトリガ・ポイントを選択することにより最小限に抑えることができます。5363Bタイム・インターバル・プローブの仕様では、信号が選択したトリガ電圧ポイントを少なくとも100 mV超えているか、選択したトリガ電圧がp-p入力電圧のピークを8%以上下回っている必要があります。

エネルギー効果による誤差は、長いタイム・インターバルの測定や、位相測定を行うときと同じ立ち上がり時間/振幅の入力信号上の同じ電圧ポイントで開始/終了チャンネルをトリガする場合には無視しても問題ありません。但し、高速パルスの立ち上がり時間を測定する場合は、一方のトリガ電圧ポイントを一方の端付近に、他方のトリガ電圧ポイントをもう一方の端付近にそれぞれ設定する必要があるため、注意深い検討が必要です。

このことから、高速信号で高度なTI測定を実行する場合は、同じ開始／終了チャンネルが必要であることが明らかです。すべての回路によりいくらかの遅延が生じますが、開始チャンネルと終了チャンネルの遅延が等しい場合は、時間的には位置がずれませんが、測定精度には影響はありません。この要件を満たすためには、同一の増幅器を使用するのが最適です。帯域幅の異なる増幅器は、内部時定数に応じた誤差が生じます。したがって、低周波増幅器では伝搬遅延が大きくなります。

±タイムベース誤差

水晶発振器(クロック)の精度は、現実的なタイム・インターバル測定ではあまり重要ではありません。ほとんどのエレクトロニック・カウンタは、 1×10^{-6} (100万分の1)以上の精度を持つ水晶発振器を使用しています。このため、5桁または6桁の有効桁の情報を表示しない限り、発振器の安定度の効果がタイム・インターバル測定に影響を及ぼすことはありません。長いインターバルを高分解能で測定することはできますが、今日の最も実用的な測定は、高速信号の立ち上がり時間、高速ロジックまたは高速パルスの伝搬時間です。 $5 \mu\text{s}$ のインターバルを1 nsで分解するために必要なのは、4桁の情報(5000 ns)だけなので、100万分の1という精度の低い発振器でこの測定を行った場合は、±1カウントの200分の1という誤差が生じるに過ぎません。より短いインターバルの場合は、発振器の誤差はそれに比例して小さくなります。

タイム・インターバル・アベレージングにより、有効桁数は増えますが、この場合もやはり、水晶発振器の精度が重要というほどではありません。高速パルスでタイム・インターバル・アベレージングをする場合は、短期安定度が重要になることがあります。短期安定度仕様は、本質的に統計値なので、短いアベレージング時間の場合にはもっと悪くなります。例えば、アベレージング時間が1秒の場合の短期精度仕様は 1×10^{-9} となります。これは、アベレージング時間が1秒の場合には 1×10^{-3} (上の例では5 ns)となりますが、短期安定度の悪い発振器の場合にはもっと大きくなります。

エージング・レートは一般に、高精度の周波数標準器を比較するためのアプリケーションでのみ重要です。このアプリケーションでは、2種類の周波数標準器の1秒に1回というタイム・チェック間の時間変動を測定するためにカウンタが用いられます。各タイム・インターバル測定は1秒($1 \times 10^6 \mu\text{s}$)程度の長さで、 5×10^{-12} 以上の安定度の水晶発振器が必要です。

±系統誤差

インターコネクタ・ケーブル、トリガ・レベル設定などのパラメータに起因するこれらの固定誤差は、与えられた測定構成に対して本質的に一定の誤差です。これらの誤差は比較的一定なので、幅、遅延などの絶対測定を行う場合にだけ重要で、測定パラメータの変化を調べる場合には関係ありません。特に短いインターバルでは、インターコネクタ・ケーブルと開始／終了チャンネル回路の伝搬時間に起因する遅延差は重要ではありません。絶対測定を行う場合は、この遅延差を完全に調整するか、考慮する必要があります。この誤差は通常は小さいので、10 ms以上の長さを測定する場合には考慮する必要はありません。信号の伝搬時間は、ポリエチレンで絶縁されたRG 58A/U 50 Ω同軸ケーブルの場合で約0.052 ns/cm (19.2 cm/ns) なので、開始チャンネルと終了チャンネルでケーブルの長さが一致している必要があります。ほとんどの測定状況では、同じ長さのケーブルを用いることによりこうした誤差はなくなりますが、ケーブル遅延は、絶縁体の誘電率により異なるため、同種のケーブルを使用する必要があります。これが現実的でない場合は、カウンタを使ってケーブルの電気長を測定して、カウンタの補正係数を求めることができます。この測定の詳細については、アプリケーション・ノート174-10『Measuring Electrical Length (Delay) of Cables』を参照してください。

他の測定器を使用して立ち上がりの速い入力信号を調べる場合は、タイム・インターバル・カウンタを接続することにより生じる負荷が入力信号の形状を本質的に変化させる可能性があるという事実も考慮する必要があります。負荷の抵抗成分は通常、問題が生じないように十分に高くなっています。正確には、負荷を考慮したカウンタおよびインターコネクタ・ケーブルの入力容量です。5363Bタイム・インターバル・プローブ・ボックスは、汎用測定器のこのような負荷を可能な限り軽減します。

デジタル補間によるタイム・インターバル測定

デジタル補間

分解能を高めるもう1つの手法は、補間を用いることです。これは、デジタル・カウント方式に固有の±1カウント誤差を直接解決する方法です。アベレーシング中に補間を行うことの利点は、高分解能が繰り返し信号に依存しないということです。5370Aでは、この補間方式により、20 psのシングル・ショット分解能が得られます。従来の内蔵タイムベースのサイクルをカウントする方式と比べると、これは、50 GHzクロックを使用することにより得られる分解能と等価です。このクロック周波数はもちろん、最新テクノロジーを大きく上回っています。

補間のもう1つの利点は、高いシングル・ショット分解能により、有意な統計情報の収集が可能であることです。平均値だけでなく、最大値／最小値／標準偏差などのタイム・インターバルに関する重要な特性も収集できます。高速データ収集機能を使用できる場合は、完全なヒストグラム情報が得られます。多くのタイム・インターバル測定では、こうした統計的な特性が最も重要です。例えば、ジッタが問題になるデジタル通信システムでは、標準偏差が優れた指標となります。

PSPLO (位相開始フェーズロック発振器)

高精度のデジタル補間方式は、位相開始フェーズロック発振器をベースにしたものです。この発振器は、以下の2つの極めて重要な特性を持っています。

- 1) トリガ発振が開始すると、ほとんど瞬時に、外部トリガ・パルスとの一定の位相関係になります。
- 2) 発振が開始すると、水晶発振器などの安定した信号源にフェーズ・ロックすることにより、周波数の安定度が維持されます。

デュアル・バーニア法

図32は、5370Aで用いられている方法に似た、高精度のデュアル・バーニア補間法を示しています。この方式では、PSPLOが開始チャンネルと終了チャンネルの両方に用いられます。これらの発振器は、基準発振器よりも少し発振周期が長いので、一旦開始すると、初期位相に応じて数サイクル遅れて、基準発振器と一致するようになります。基準発振器の周期が T_0 の場合、開始発振器と終了発振器の周期は、 $T_0 + T_0/N$ になります。ここで、 N は補間係数です。図から、タイム・インターバル T が以下のように求められます。

$$\begin{aligned} T &= T_1 - T_2 + T_3 \\ &= T_0 (N_0 + (1 + 1/N) (N_1 - N_2)) \end{aligned}$$

ここで、 N_1 ＝一致する開始発振器のパルス数

N_2 ＝一致する終了発振器のパルス数

N_0 ＝開始から終了までの間に発生する基準発振器のパルス数

5370Aでは、基準発振器の周期は5 nsで、開始／終了発振器は以下の周期を持っています。

$$(5 \text{ ns} + 5 \text{ ns}/256) = 5 \left(1 + \frac{1}{256} \right) \text{ ns}$$

これにより、 $5/256 \text{ ns} \cong 20 \text{ ps}$ の時間分解が可能です。

補間係数Nに対する実質的な制限は、回路の入力やその他の回路に固有の雑音に依存します。雑音ジッタの代表値が約35 ps rmsの場合は、これよりはるかに優れた分解能を実現できる補間係数にしても、ほとんど利点はありません。さらに、対応する高い時間弁別機能を用いて、補間器と基準クロックの間で一致検出を実行する必要があります。これも、実質的な制約となります。開始発振器が最初に一致したか、終了発振器が最初に一致したかに関係なく、上述のデュアル発振器方式は有効です。5370Aでは、終了信号が最初にきた場合、タイム・インターバルに負の符号が付けられます。

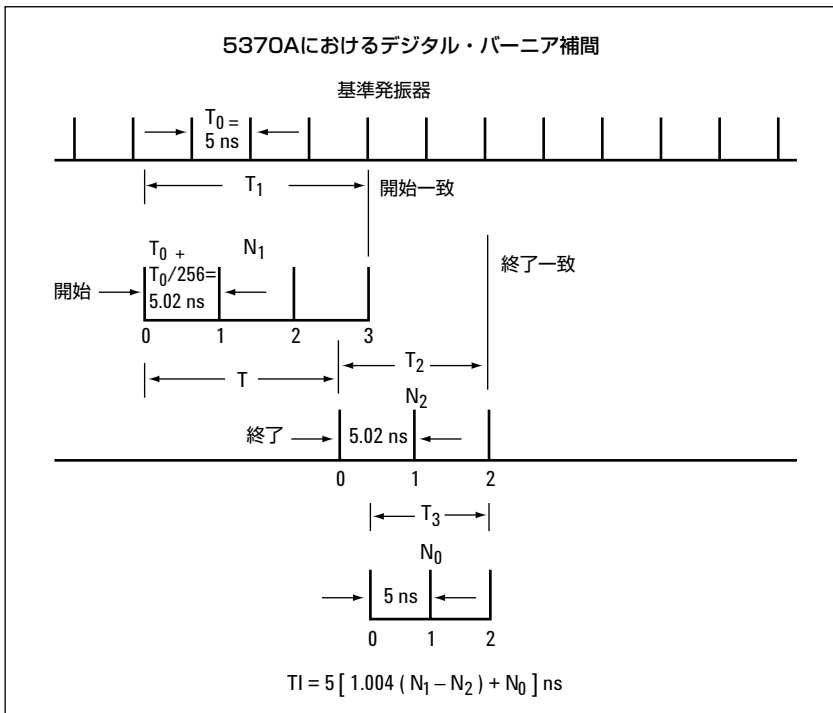


図32.
PSPLO (位相開始フェーズロック発振器) を使用したデジタル補間方式。

正確なタイム・インターバルの生成

PSPLO (位相開始フェーズロック発振器)

前のセクションで説明したPSPLO (位相開始フェーズロック発振器) は、5359Aタイム・シンセサイザと同じように非常に正確なデジタル遅延を発生させるのに用いることもできます。ここでは、PSPLOからの出力がプリセット・カウンタでデジタル・カウントし、非常に正確な遅延を生成します。PSPLOを使用することによる重要な利点は、遅延が合成され始めた時の位相が外部トリガ信号と一定の関係にあることです。これに対して、従来の方式は、ランダムな位相で内部クロック列が中断されるので、クロックの±1周期の変動に支配されるタイム・インターバルが発生します。

5359Aの簡単なブロック図とパルス間のタイミング関係を図33に示します。

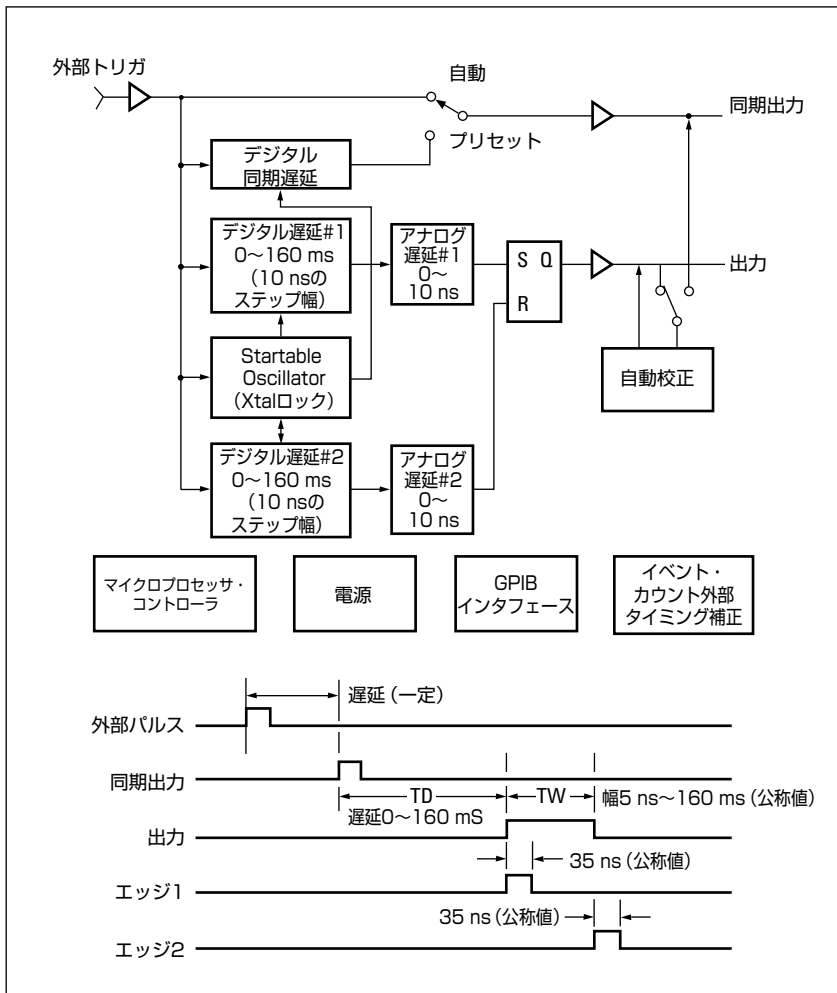


図33. 5359Aタイム・シンセサイザのブロック図と出力パルス間のタイミング関係。

ここでは、デジタル遅延#1により、同期出力パルスから出力 (T_D) までの時間が決まり、デジタル遅延#2 (SRフリップ・フロップをリセット) により、出力パルスの幅が決まります。10 nsの分解能で動作するどちらのデジタル遅延も、0~10 nsの分解能を提供するアナログ遅延が後に続きます。この遅延方式の興味深い機能は、アナログ部分を含む遅延を校正して基準水晶発振器に戻す自動校正機能です。この測定器にはマイクロプロセッサが内蔵されているので、どのような変動も自動的に補正できます。この方式では、最大150 msの大きな遅延でも、サブnsのタイム・インターバルも作成できます。

この測定器は、レーダやその他のナビゲーション・システムの校正信号源として有用です。例えば、同期出力を使って送信パルスをシミュレートしたり、正確に時間制御できる出力を使って特定のレンジに対応する戻りパルスをシミュレートすることができます。

また、この測定器には遅延ラインを使用して回路の許容範囲や競合条件を調べる機能も盛り込まれています。

5363Bタイム・インターバル・プローブを使用した タイム・インターバル測定

TI測定の問題解決

5363Bタイム・インターバル・プローブ・ボックス (図34) は、エレクトロニクス・カウンタを使用したタイム・インターバル測定が一番面倒な問題を解決するシグナル・コンディショナです。



図34.
5363Bタイム・
インターバル・プローブ

1. 回路負荷を軽減

高インピーダンス、低キャパシタンスのアクティブ・プローブを使用することにより、入力信号用に通常のインターコネクト・ケーブルが必要なくなるので、回路負荷を最小限に抑えることができます。50 Ω 以外のシステムでパルス进行处理する場合には、これは特に重要です。

2. トリガ電圧ポイントを正確に定義

スロープを選択した後で、簡単な校正手順を実行することにより、ゼロ・ボルトでトリガするように正確に設定し、デジタル手法を用いて残留オフセット電圧を校正します。校正が完了したら、デジタル・サムホールド・スイッチを設定することにより、トリガ・ポイント電圧を正確に設定できます。

3. 開始チャンネルと終了チャンネルの遅延差を校正

もう1つの校正手順により、インターコネクト・ケーブルやタイム・インターバル・カウンタの開始/終了チャンネル内の遅延差を含む、システム内のすべての遅延差を校正することができます。5363Bでは、10 nsの遅延を終了チャンネルに挿入できるために、開始パルスと終了パルス間に最低10 nsが必要な5345Aなどのカウンタを0 nsまでの測定に使用できます。図35は、この手順を示したものです。

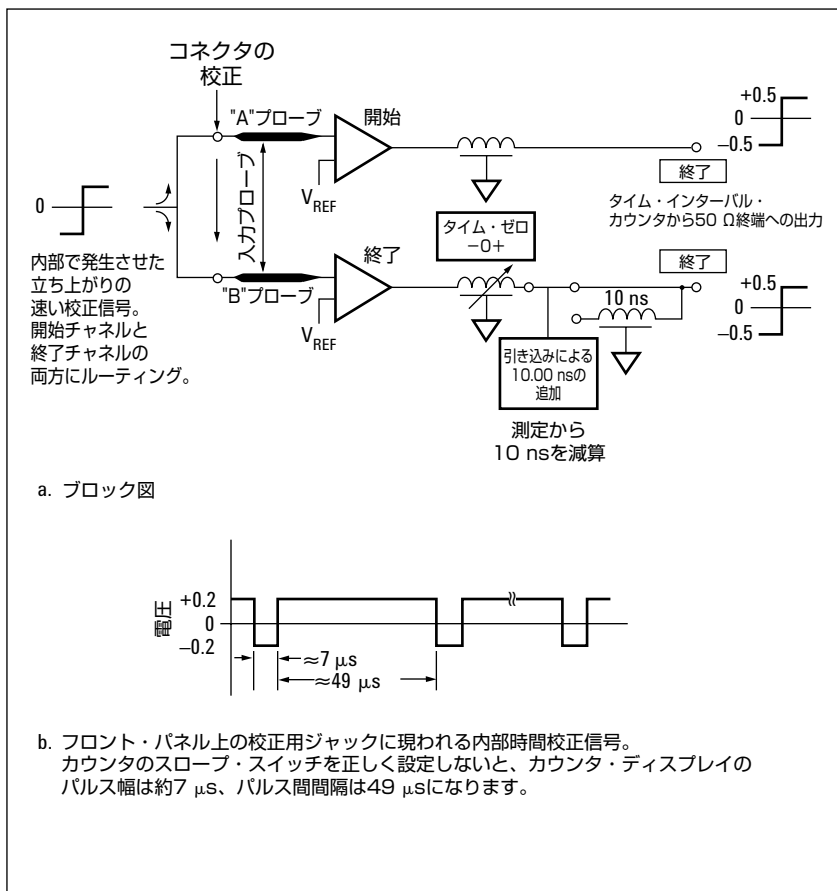


図35.
5363Bのタイム・ゼロ
校正を行い、測定シス
テムの開始パネルと終了パ
ネルの間の遅延差を補正
します。

4. カウンタ入力より大きなダイナミック・レンジ

5363Bの開始／終了チャンネルは、電圧対時間の偏位が大きな入力信号を含む、すべての入力信号に対して設計されているので、感度を犠牲にすることなく、 $-10\text{ V} \sim +10\text{ V}$ の範囲の信号を正確に測定することができます。現在使用されている多くのICロジック・レベルに基づいてトリガする場合は、これは特に重要です。ほとんどのカウンタのX1レンジに対して、ロジック・スイングは大き過ぎますが、X10またはX20レンジでは感度が犠牲となります。

5. システム・アプリケーションのリモート・プログラミング

5363Bにオプション011を搭載することにより、プローブ選択(スロープ、極性、レベル、レベル校正)などのフル・リモート・プログラミング機能が、可能になります。タイム・ゼロ・コントロールはバス経由でプログラムできませんが、1つのシステムで、遅延差を測定してソフトウェアで調整することができます。

レベル校正

1. 最初にレベル校正スイッチを押して、開始レベルと終了レベルの両方の電圧をゼロに設定（通常は、サムホイール・スイッチにより決定）し、校正用コネクタに挿入されているプローブAとプローブBのチップをグラウンド接続します。校正用ジャックを使用するのは不便なので、システム・アプリケーションでプローブ・チップを50 Ω 未満に終端してグラウンド接続することにより、校正を行うことも可能です。
2. 5363Bは、トリガ・ポイントの設定と自己校正用に2つのDAC(D/Aコンバータ)を使用しています。
 - a. メインDACは、サムホイール・スイッチにより制御され、+9.99～-9.99 Vの範囲で10 mVのステップ幅で設定可能なトリガ・レベル電圧を供給します。
 - b. オフセットDACは、2本のプローブの残留オフセット電圧を校正するために用いられ、最初はメインDACから+75 mVオフセットされています。+75 mV～-75 mVの範囲で1 mVのステップ幅に対応しています。
 - c. 立ち上がりスロープの校正では、レベル校正スイッチは、メインDACにゼロをロードし、オフセットDACにゼロ (+75 mVに相当) をロードします。

入力スイッチによりゼロ・ボルトでトリガが切り替わるまで、内部校正回路は、+75 mVから低い電圧に向かって1 mVのステップ幅で、オフセットDACの電圧出力をスキャンします(図36を参照)。この電圧 V_C が、記録され、サムホイール制御のDACから選択されたトリガ電圧に追加されて、測定の0 Vdcを基準にした真のトリガ・ポイント電圧が得られます。

- d. 立ち下がりスロープの校正では、オフセットDACが-75 mVから開始して、高い電圧に向かってスキャンする以外は、プロセスは同じです。

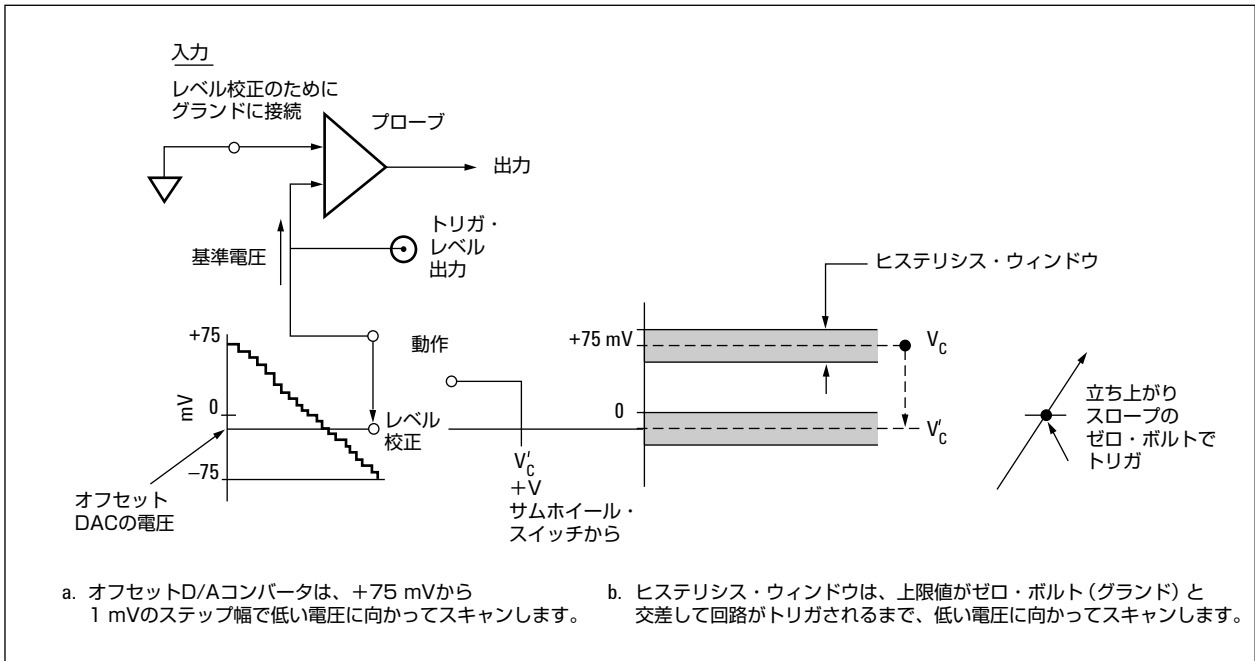


図36. 立ち上がりスロープでトリガさせるためのプローブのレベル校正。

- 裏面のBNCコネクタに現われるトリガ・レベル出力電圧(図37)は、サムホイール・スイッチで設定されたトリガ電圧に、オフセットDACにより開始または終了チャンネルに印加された校正電圧を加算したものです。したがって、このレベルは、実際のトリガ電圧から ± 75 mV(オフセットDACの範囲)ずれる可能性があります。この電圧をオシロスコープ上に入力信号とともに表示して、トリガ・ポイント位置を大まかに把握して、初期設定に役立てることができます。実際には、室温で動作する5363Bの場合は、このオフセットでは足りません。(室温でのオフセット電圧の公称値は、 -10 mV \sim -30 mVです)。オフセットDACの電圧は、対応するサムホイールのレベル・スイッチを0.00に設定して、校正した後、リア・パネル上のTRIGGER LEVEL OUTPUTに出力され、DC電圧計で測定できます。
- 5363Bをオフにしたり、スロープ・スイッチまたはプローブ切替えスイッチの設定を変更した場合は必ず、レベル校正を行う必要があります。そうしないと、 ± 75 mVもの大きなトリガ電圧誤差が生じる可能性があります。
- ヒステリシス・リミット間の間隔を求める簡単な方法は、プラス・スロープ(♂)を使って通常の校正手順を実行し、TRIGGER LEVEL OUTPUTコネクタからの電圧出力を測定した後で、マイナス(♀)スロープでトリガするようにチャンネルを設定して、同じ手順を繰り返す方法です。これら2つの電圧の差が、ヒステリシス・リミット間の間隔となります(2、3 mV以内)。

タイム・ゼロ校正

図35a (54ページ) は、内部で発生させた立ち上がりの速い校正信号 (図35b) を用いたタイム・ゼロ校正の方法を示したものです。この校正は、遷移時間が高速の外部信号 ($>100 \text{ V}/\mu\text{s}$ のスローレート) を使用して、両方のチャンネルを入力遷移の中心にかなり近い同じトリガ・ポイント (スロープおよびレベル) に設定することにより実行することができます。

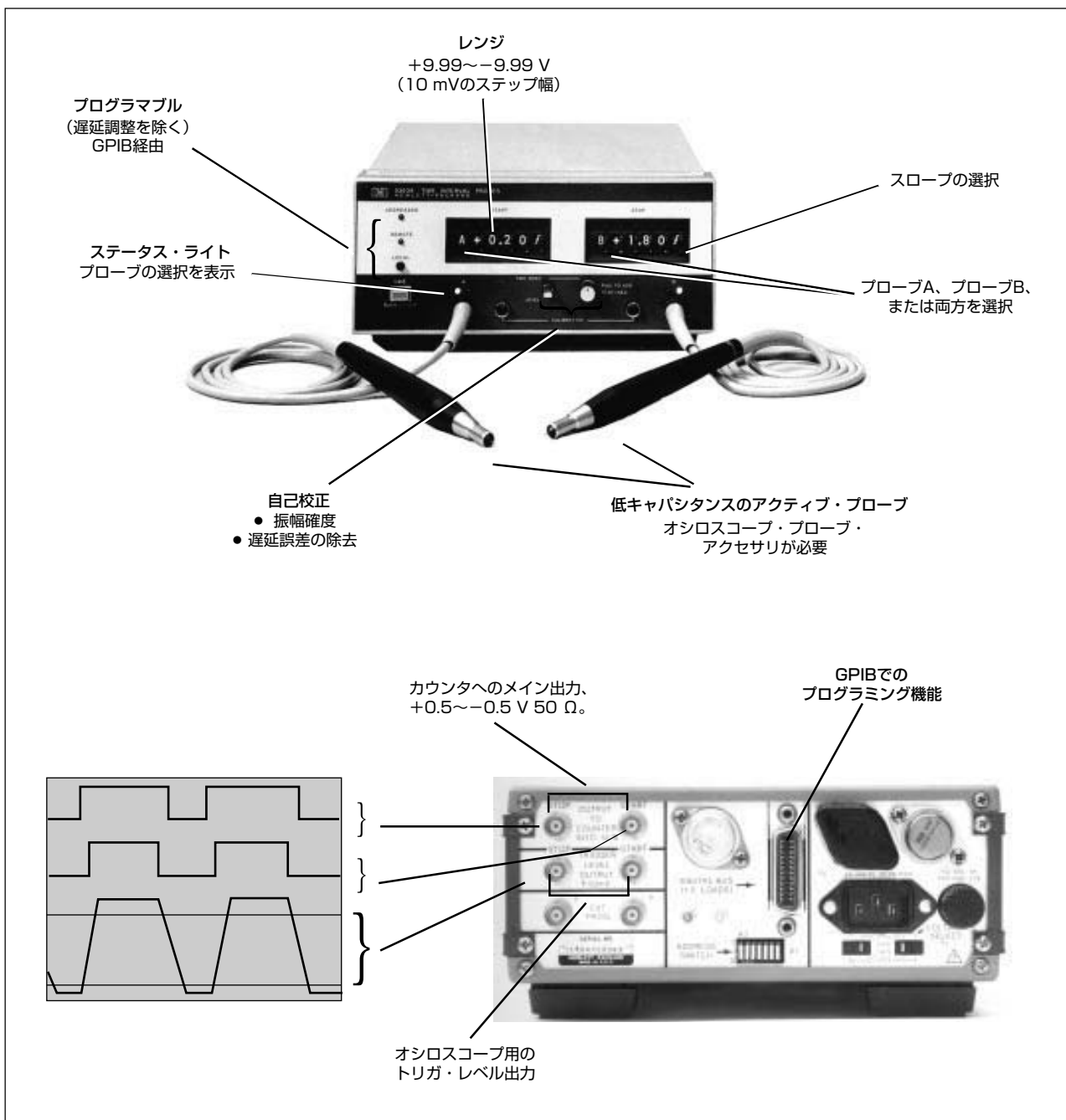


図37. 5363Bのコントロール機能とコネクタ

5363Bを使用したTI測定の手順

最初に、信号が5363Bのレンジ内であることを確認します。

1. 損傷を与えない5363Bプローブへの最大入力電圧は、 $\pm 30 \text{ Vdc} + \text{ピーク AC}$ です。最小パルス幅は5 ns、最大繰り返し周波数は10 MHzです。この他の注意事項については、図38を参照してください。トリガ・ポイントは、サムホール・スイッチまたはオプション011を使用して GPIB 経由で、 $\pm 9.999 \text{ V}$ の範囲の10 mVのステップ幅で調整できます。

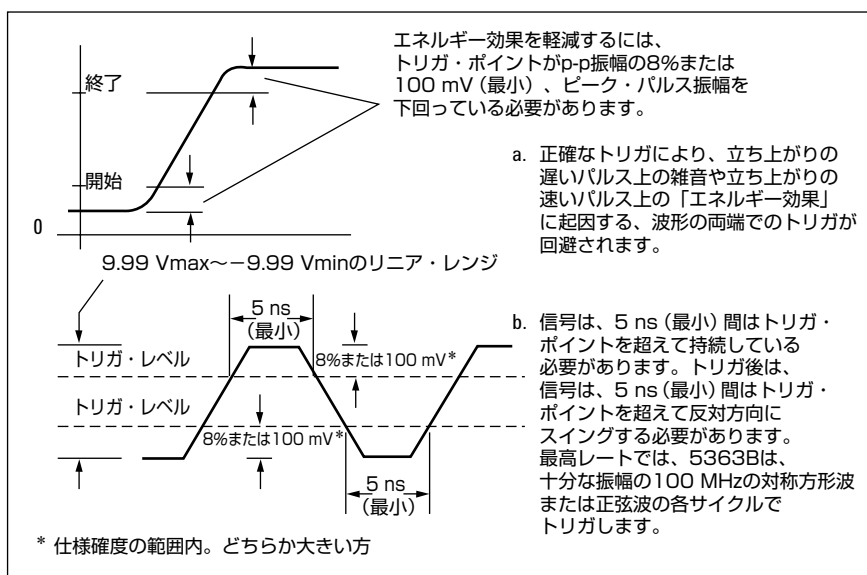


図38.
5363Bの
入力信号の条件。

注意

未使用時や輸送時には、静電気による損傷を防ぐために、プローブの保護接地用のキャップを外さないでください。

2. 終了/開始プローブ切替えスイッチをAまたはBに、スロープを μ または π に、極性を+または-に、また各チャンネルのレベルを目的の測定に応じて設定してください。D (d) で説明したように、レベル校正を実行します。
3. プローブを入力信号に接続して、測定します。

注記

レベル校正は、プローブ切替えスイッチまたはスロープ・スイッチを変更した場合は必ず、レベル校正を実行してください。新しい条件のオフセット校正は、レベル校正が行われない限り実行されません。電圧校正を実行しない場合の最大トリガ電圧誤差は $\pm 100 \text{ mV}$ 未満なので、高振幅の入力信号を測定する場合は、校正が不要な場合があります。

タイム・インターバル測定の実用

メカニカル・スイッチにより開始／終了パルスを生成する 簡単なタイミング・システム

最も簡単なタイム・インターバル測定システムは、図39のように接続された、タイム・インターバル・カウンタ、電圧源、2個のメカニカル・スイッチ、2個の抵抗により構成されます。

図39のこの簡単な回路を用いた場合でも、有効な測定を行うためには注意が必要です。

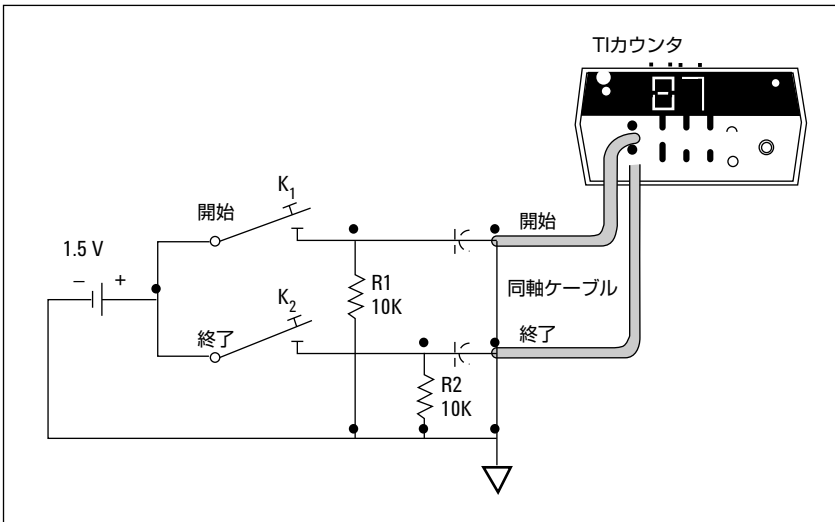


図39.
簡単なタイム・インター
バル測定システム

1. カウンタのSEPARATE-COMMONスイッチは、SEPARATEに設定する必要があります。そうしないと、両方の入力が内部で接続されてしまいます。
2. カウンタ入力の電圧は、0～+1.5Vの範囲になるので、レベル・スイッチをPRESET位置ではなく、約0.7Vでトリガするように設定する必要があります。このシステムは、PRESET位置でも動作することはできますが、スイッチ操作による雑音やオーバーシュートによりは、ヒステリシスの下限を超える信号を発生させることになるので、トリガが安定しない可能性があります。

別の方法として、入力をAC結合にすることもできます。但し、この場合は、抵抗R1とR2を使用する必要があります。使用しないと、カウンタは、最初にキーがクローズされた時に一度だけトリガしますが、その後のクローズではトリガしません。

これは、結合コンデンサが最初は充電されていないため、最初にキーがクローズされた時に結合コンデンサが充電され、カウンタをトリガするからです。キーがオープンになると放電経路からコンデンサが放電されます。このときリーク抵抗しかない場合には、コンデンサの特性によっては、放電に数分から数時間必要で、この電荷は非常にゆっくりと漏れ出します。この電荷が消費されるまで、回路は再トリガできません。10 kΩの抵抗R1およびR2を使用すると、キーがオープンされるとすぐに結合コンデンサが放電されるので、入力回路はキーがオープンされるたびにトリガします。

このシステムは、マイクロスイッチ、電鍵などのメカニカル・スイッチを非常にうまく使って動作し、カウントを開始/終了します。正しく動作させるためには、開始/終了を個別のスイッチで行い、SEPARATE/CommonスイッチをSEPARATE位置にしておく必要があります。

3. このシステムは通常、カウントをCOMMON位置（開始入力と終了入力が内部で接続される）にして、タイム・インターバル制御を電圧の立ち上がり（スイッチがクローズされている場合は、立ち上がりスロープ）で開始し、電圧の立ち下がり（スイッチがオープンされている場合は、立ち下がりスロープ）で終了するように設定した状態ではパルス幅測定を実行**しません**。メカニカル・スイッチは接点バウンスを示し、カウントは、スイッチがクローズした時間ではなく、最初のバウンスの時間を表示するので、システムは動作しません。これについては、「**遅延コントロール**」および図22aを参照してください。

開始チャンネルに遅延回路が内蔵されていないカウンタの場合は、単一のSN74121または同様の集積回路、5 V DC電源、1個の抵抗、1個のコンデンサを用いて校正することができます。この遅延回路の"オン"タイムは、適切なRおよびCの値を選択することにより、開始チャンネルの接点バウンス時間より長くなります。1 μ Fのコンデンサと10 k \sim 20 k Ω の抵抗により、10 \sim 20 msの"オン"タイムを実現できます。ほとんどのメカニカル・スイッチまたはリレーの場合は、これで十分です。"オフ"タイムはカウンタのSAMPLE RATEコントロールにより制御されるので、終了チャンネルには遅延は不要です。

この同じ遅延回路は、積算 (TOTALIZE) モードでカウンタを使用してメカニカル・スイッチの動作回数をカウントするためにも必要です。これがなければ、カウンタは、目的の動作はもちろん、接点バウンスを1つ1つカウントして表示します。

位相測定

エレクトロニック・カウンタを使って行われる位相測定は、タイム・インターバル測定の特別なケースです。最初に周期a-bが測定され、続いてタイム・インターバルa-cが測定されます。この情報に基づいて、以下の式を使って位相が計算されます。

$$\text{位相 (度)} = \frac{t_0}{T} \times 360$$

図40の一般的なセットアップは、他のタイム・インターバル測定の場合と同じですが、位相測定で最高の確度を得るためにはいくつか考慮しなければならない要素があります。

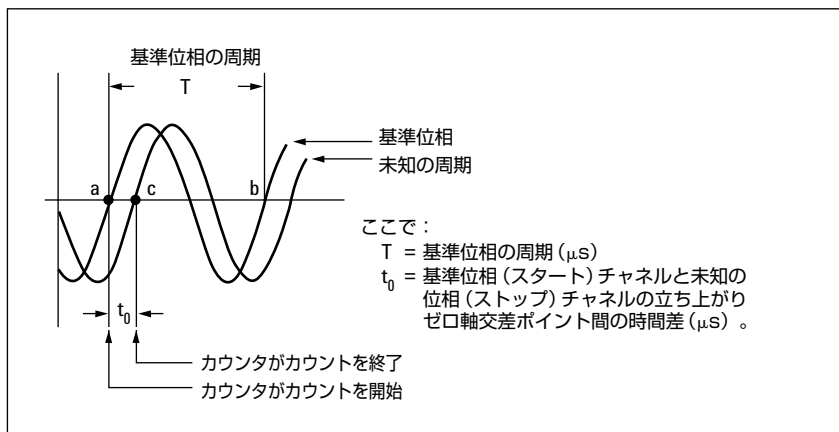


図40. タイム・インターバル・カウンタを使用した位相測定。

- 安定した位相測定を行うには、基準位相と未知の位相の周波数が同じである必要があります。
- 位相測定は2つの信号のいずれかの対応するポイント間で行なうことができますが、この方法は、両方の信号が同じ一定の振幅を持つ場合にだけ有効です。同じでない場合には、絶対位相を測定できません。
- 絶対位相を測定するためには、開始チャンネルと終了チャンネルの両方を、図14の手順に従ってゼロ・ボルトでトリガするように設定します。ゼロ・ボルトでのトリガには、入力信号の振幅とは関係のない位相測定が実現するという別の利点もあります。ゼロ以外のポイントでトリガすると、いずれかの入力チャンネルに対する振幅変動により、カウンタ測定による位相が変化します。5363Aタイム・インターバル・プローブは、内部校正手順と、スタート/ストップのサムホイール・スイッチによるゼロ設定により、正確に0 Vdcでトリガされるので、位相測定に最適です。
- 周期アベレージング測定を行うことにより、図40の時間 (T) を測定します。周期アベレージング測定により、タイム・インターバル・モードを使用した場合よりもトリガ誤差が小さくなります。これは、周期測定では同じトリガ回路が使用されるので、開始と終了でトリガ電圧ポイントが同じになるからです。
- カウンタの内部保護クランプ電圧を超えない、最大入力振幅を使用します。振幅の大きい信号ほど、トリガ・ポイント (ゼロ・ボルト) における信号の傾きが大きくなるので、トリガ誤差が減少します。但し、クランプ電圧を超えると、カウンタの入力インピーダンスが過負荷ポイントより上で大きく変化し、入力信号に歪みが生じます。このため、測定に必要な時間対電圧情報が不正確になります。

6. 位相測定の誤差評価：周期アベレージングに関するカウンタの確度仕様は、図41の周期Tに適用されます。タイム・インターバル確度仕様は、 (t_0) に適用されます。位相測定誤差は、±(これら2つの誤差の合計)です。ほとんどの位相測定では、他の要因の方が大きいので、水晶発振器の確度は重要ではありません。
7. 分解能および確度の向上。タイム・インターバル・アベレージング・モードを使用すると、この動作モードを備えたカウンタの位相測定の確度および分解能を向上させることができます。
8. 直読式位相測定。TI測定を実行しながら外部クロックをカウントできるカウンタは、外部クロック周波数 $f_{\text{clock}}=360 \times f_{\text{ref}}$ が内部クロック発振器に代わって測定できる場合は、位相(度)を直接表示できます。 $(f_{\text{clock}}=3600 \times f_{\text{ref}}$ は 0.1° の分解能になります。クロック周波数 f_{clock} の唯一の制限は、カウンタがタイムベース入力で受け入れる最高周波数より常に低い周波数であることです)。

複雑なパルス列の測定

航空機識別／航法システムでは、複雑なパルス変調パターンが用いられます。これらのシステムの要件および仕様は、米国連邦航空局により管理されています。

1. ATC (航空管制) システム

ATC (航空管制) システムは、エリア内の航空機を自動的に追跡するために、空港で地上レーダ・システムと併せて用いられています。

呼びかけパルス

地上局は、呼びかけRFパルス列を送信します(図41を参照)。この信号は、コード化された応答を自動的に送り返す航空機搭載のトランシーバにより復調され、解析されます。

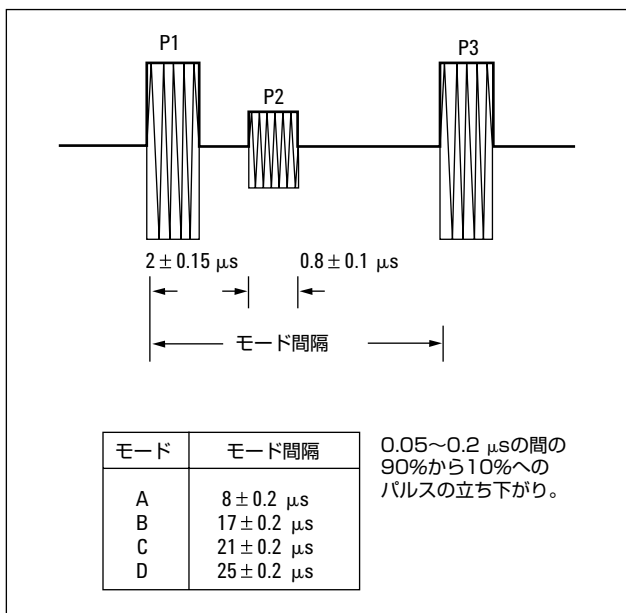


図41.
3パルスATCの地上局の呼びかけ。

応答パルス

航空機の中継機は、呼びかけが有効であると判断すると、2~15パルスから成るコード化された信号で応答します。2つのフレーム・パルスにより、地上レーダが航空機を識別します。航空交通量が増加するにつれて、混雑する交通エリアを飛ぶ民間航空機などのすべての航空機に、コード化されたコード情報を応答に自動的に含めることが求められています。航空機搭載のシステムのパルス・タイミングについては、図42を参照してください。

0.5%程度以上の許容範囲なので、エレクトロニック・カウンタは、こうした測定を行うのに最適な測定器です。

エレクトロニック・カウンタは、復調されたATCパルス列の時間測定を行うために使用できます。呼びかけパルス列(図41)の場合、開始/終了ポイントの選択は、終了チャンネルのレベル・コントロールを使って振幅で行うことができます。

応答パルス列(図42)は、さらに複雑なので、測定用の適切なパルスの対を選択するためには、5345Aなどのカウンタ(タイム・インターバル・モードでのETゲート・コントロール機能を搭載)が必要です。

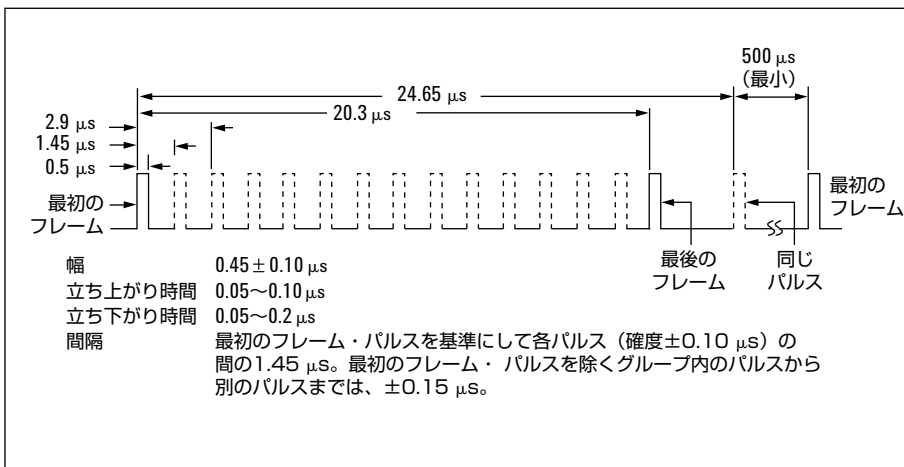


図42.
使用可能なATC応答パルス・コード。

カウンタのEXTゲートは、前のパルス列の最後のパルスに続けていつでもオープンすることができます。測定は、次のパルスで開始します。この場合は、図4の (a) の目的のパルス列の最初のフレーム・パルスです。

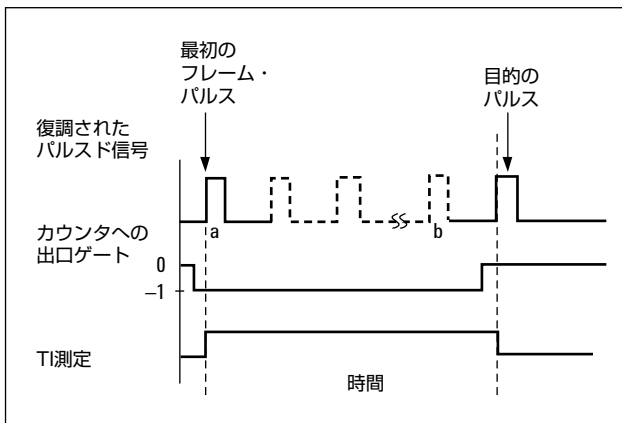


図43.
5345Aカウンタを使用した、ATC中継器の応答パルスの時間測定。

5345Aのゲート出力 (GATE OUT) でトリガされる可変パルス幅のパルス・ジェネレータ (8007Aまたは同類) を使用して、終了パルスを選択します。カウンタは、パルス・ジェネレータからのパルスの終わりに続く入力パルス (-1 V ~ 0 V の遷移) で測定を終了します。入力信号のパルスは約1 μsなので、パルス幅の設定は重要ではありません。図44のような回路を使って、図示されている複雑なパルス列の最初のパルスに測定システムを同期させることができます。

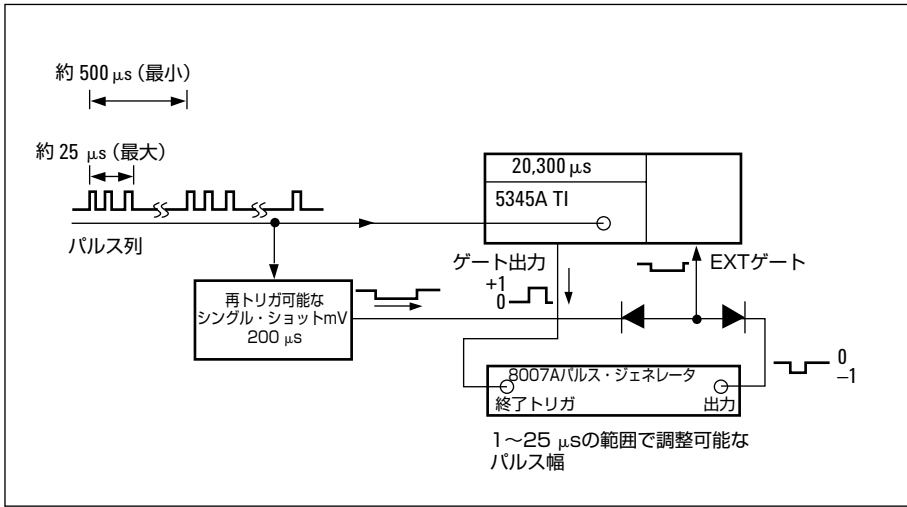


図44.
最初のパルスを基準にした
複雑なパルス列の同期。

2. DMEのパルス

民間航空機に用いられているDME (距離測定装置) は、応答を送り返す地上基地局をトリガするパルス対を送信します。

DMEのチャンネルは、1 GHz近くまで1 MHz間隔で配置されているので、隣接チャンネル・エネルギーを最小限に抑えるには、送信パルスの形状を厳守する必要があります。これらのパラメータはすべて、タイム・インターバル・カウンタおよびデジタル設定のトリガ・レベルを備えた5363Bタイム・インターバル・プローブを使って、復調されたDMEパルスを測定できます。

これらの例は、レーダ識別/位置確認/航法装置の出力信号に対するタイム・インターバル測定いくつかのアプリケーションを示しているに過ぎません。

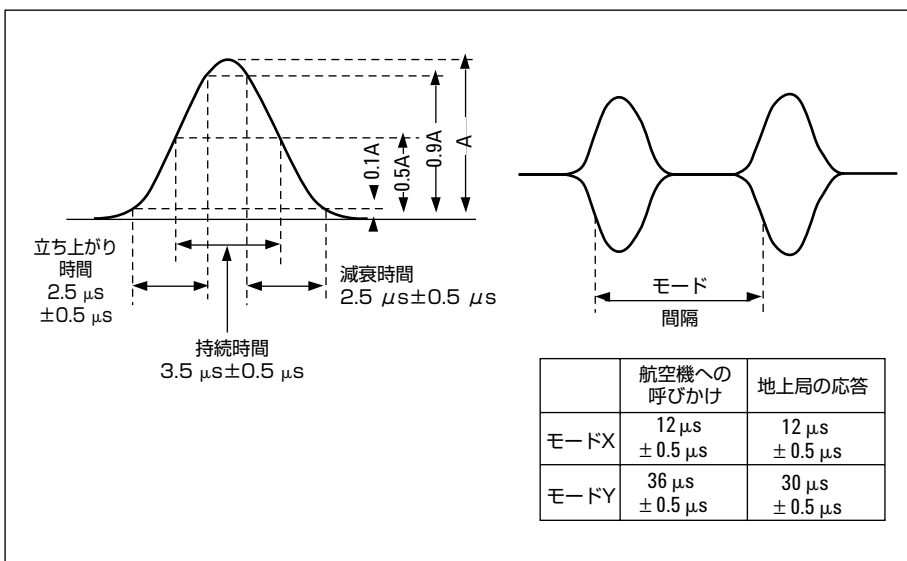


図45.
DMEのパルスの特性

他のタイム・インターバル測定方法との比較

オシロスコープは、パルス／立ち上がり時間の測定に最初に用いられた測定器の1つで、それ以来その目的に使用されています。オシロスコープもタイム・インターバル・カウンタも、タイム・インターバル測定で特に威力を発揮しますが、多くの場合、その手法は補完的です。一般に、タイム・インターバル・カウンタは、パルス間測定で優れた分解能 (5370Aで0.00000001%) を実現するだけでなく、自動化が簡単です。オシロスコープは、ビジュアル・フィードバックに優れているだけでなく、最近では、 Δ 時間オシロスコープの発売により、タイム・インターバル測定用のオシロスコープの分解能が大幅に向上しています。例えば、1743Aは、0.002% \pm 1カウントの分解能を実現できます。オシロスコープのビジュアル・フィードバック性能は、雑音の大きな波形や複雑な波形を処理する場合に重要です。熟練したオペレータは、目的のポイントだけに集中できます。立ち上がり時間が速い場合は、タイム・インターバル・カウンタは雑音による影響は受けませんが、立ち上がり時間が遅い場合の測定では、注意が必要です。

補間方式のカウンタは、シングル・ショット分解能の大幅な向上を実現します。これは、動作するために繰り返し信号が必要な Δ 時間オシロスコープでは不可能です。さらに、この補間方式のカウンタの高いシングル・ショット分解能により、統計情報の収集ができます。

ユーザの観点からは、必要な測定および出力の特性により、最も条件に適した測定ソリューションが決まります。以下のまとめを参考にして選択してください。

タイム・インターバル・カウンタ：

- パルス間測定で最高の分解能を実現
- 自動化が簡単：IEEE 488インタフェース
- 統計情報
- 立ち上がりの速いパルスでは雑音の影響を無視できる
- シングル・ショット機能
- 開始チャンネルと終了チャンネルで異なるトリガ電圧
- 100 MHzより上の測定

オシロスコープ：

- 優れたビジュアル・フィードバック
- 雑音の大きな信号の遅い立ち上がり時間測定に最適
- 雑音に起因する間違っただトリガが発生し難い

サポート、サービス、およびアシスタンス

アジレント・テクノロジーが、サービスおよびサポートにおいてお約束できることは明確です。リスクを最小限に抑え、さまざまな問題の解決を図りながら、お客様の利益を最大限に高めることにあります。アジレント・テクノロジーは、お客様が納得できる計測機能の提供、お客様のニーズに応じたサポート体制の確立に努めています。アジレント・テクノロジーの多種多様なサポート・リソースとサービスを利用すれば、用途に合ったアジレント・テクノロジーの製品を選択し、製品を十分に活用することができます。アジレント・テクノロジーのすべての測定器およびシステムには、グローバル保証が付いています。アジレント・テクノロジーのサポート政策全体を貫く2つの理念が、「アジレント・テクノロジーのプロミス」と「お客様のアドバンテージ」です。

アジレント・テクノロジーのプロミス

お客様が新たに製品の購入をお考えの時、アジレント・テクノロジーの経験豊富なテスト・エンジニアが現実的な性能や実用的な製品の推奨を含む製品情報をお届けします。お客様がアジレント・テクノロジーの製品をお使いになる時、アジレント・テクノロジーは製品が約束どおりの性能を発揮することを保証します。それらは以下のようなことです。

- 機器が正しく動作するか動作確認を行います。
- 機器操作のサポートを行います。
- データシートに載っている基本的な測定に係わるアシストを提供します。
- セルフヘルプ・ツールの提供。
- 世界中のアジレント・テクノロジー・サービス・センタでサービスが受けられるグローバル保証。

お客様のアドバンテージ

お客様は、アジレント・テクノロジーが提供する多様な専門的テストおよび測定サービスを利用することができます。こうしたサービスは、お客様それぞれの技術的ニーズおよびビジネス・ニーズに応じて購入することが可能です。お客様は、設計、システム統合、プロジェクト管理、その他の専門的なサービスのほか、校正、追加料金によるアップグレード、保証期間終了後の修理、オンサイトの教育およびトレーニングなどのサービスを購入することにより、問題を効率良く解決して、市場のきびしい競争に勝ち抜くことができます。世界各地の経験豊富なアジレント・テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、製品の測定精度の維持をお手伝いします。

アジレント・テクノロジー株式会社

本社〒192-8510 東京都八王子市高倉町9-1

計測お客様窓口

受付時間 9:00-19:00 (土・日・祭日を除く)

FAX、E-mail、Webは24時間受け付けています。

TEL ■■■ 0120-421-345
(042-656-7832)

FAX ■■■ 0120-421-678
(042-656-7840)

Email contact_japan@agilent.com

電子計測ホームページ
www.agilent.co.jp

- 記載事項は変更になる場合があります。
ご発注の際はご確認ください。

Copyright 2006

アジレント・テクノロジー株式会社



Agilent Technologies

June 6, 2006
5965-7663JAJP
0000-00DEP