高速メモリ・バスのデザインと動作の検証

Application Note 1382-2

著者：Gregg Buzard（FuturePlus Systems）
Perry Keller（Agilent Technologies）

本書の読者

高速バスのデザインに取り組んでいるディジタル・デザイン・エンジニア。本アプリケーション・ノートでは、汎用高速バスの動作を検証するための新しいツールや測定技術、特にDDR SDRAM（Double Data Rate Synchronous Dynamic Random Access Memory）について説明します。

高速デザインに必要な新しい技術

現在、クロック速度は明らかに高速化の方向に向かっています。しかし、それに関連する多くの変更が、デザインに同等もしくはそれ以上の影響を及ぼしています。クロック速度の高速化に伴って、電圧スイングの縮小や、設定時間やホールド時間の短縮が求められるようになって来ています。データ・バリッド・ウィンドウの大きさは、一気に小さくなっています。小さくなったデータ・バリッド・ウィンドウが、ジッタが原因のノイズ、クロストーク、符号間干渉によって、さらに狭まるため、エラーが発生しやすくなります。ノイズ・マージンが非常に小さいため、以前は無視することができた雑音やタイミングについても検討しなおす必要があります。LVDS（Low Voltage Differential Signaling）、ダブルポンプ・クロック、ポイントツーポイント・デザインも、新たな問題を生み出す可能性があります。

この他の改良に起因するデザイン上の問題も、依然として増え続けています。今では、クロック速度は、これまでRF/マイクロ波エンジニアだけが使っていた周波数にまで及んでいます。

周波数が高いほど波長が短くなるため、ボードのレイアウトが極めて重要になります。デザイナは、グランド・プレーンの中断点を見落とさないように注意し、インピーダンスを整合させて反射を減らさなければならないだけでなく、トレースの分離、トレース長、さらにはFR4材料の不連続部さえも心配しなければなりません。

今日の高速バス・デザイナは、信号の終端とインピーダンス整合に注意する必要があります。1つや2つのクロック信号でバスの同期がとられることはもうありません。ソース・シンクロナス・バスのデザイナは、データを搬送するクロックまたはストローブが12個以上存在し得るような状況を生み出しています。Rambus®デザイナは、トレーニングまたは校正アルゴリズムで、熱ドリフトを補償する必要があります。InfiniBandやRIO（rapid IO）の出現により、バスは、従来の分岐接続バスからスイッチ・ファブリックへと移行しつつあります。これはATM（非同期転送モード）スイッチ・デザイナにはごく普通のことかもしれませんが、多くの人たちにとっては、技術の大幅な転換になります。

目次

高速デザインに必要な新しい技術 1
DDRの新たな問題 2
ジッタの原因. 3
スタブ. 4
266MHzを超えるバス速度 5
プロービングの影響 6
アドバンスド・ツールによる明瞭な表示の実現 7
プローブとロジック・アナライザの組み合わせによるDDRの制御 9

ご注意

2002 年 6 月 13 日より、製品のオプション構成が変更されています。
カタログの記載と異なりますので、ご発注の前にご確認をお願いします。

Agilent Technologies

DDRの新たな問題

DDR SDRAMは、PC業界で認められた技術の1つに急速になりつつあります。低コスト、高性能、可用性を特長とするDDR SDRAMは、PCメモリ・バスや、ハイエンド・グラフィック・システムのような組込み型デザインに最適です。DDRをサポートする意向を発表している主要関係企業が増えているため、将来、こうしたメモリ・システムの実装が必要になるかもしれません。

DDR SDRAMは、システム・クロックの立上がりエッジだけではなく、立上がりエッジと立下がりエッジの両端でのデータ出力を可能にするので、DRAMバス速度が266MHzへと劇的に向上します。これにより、データ出力速度が2倍になる可能性があります。しかし、DDRバスのデザインや動作の検証は、デザイン・チームやツール開発者に新たな問題を提起しています。PCI-Xのようなバスに用いられている技法は、DDRには有効ではありません。

共通クロックを持つPC100やPC133と違って、DDRはソース・シンクロナス・バスです。このバスは、1つのクロックに代わって、19個のクロック（制御信号用の1個のクロックとデータ・グループ用の18個のストローブ（またはクロック））を備えています。各データ・グループは、他のデータ・グループからほとんどの場合はずれている、独自のストローブを持ちます。さらに興味深いことには、DDR書込みデータは、読取りデータから90度ずれています。PC133とDDRの唯一の類似点は、どちらもマルチポイント・バスであるということです（バスにアクセスするには調停が必要なデバイスが、バス上に複数存在しています）。

	PC133	DDR
速度	100/133MHz	200/266MHz+
クロック数	1個	最大19個
アイの大きさ	2V×4ns	700mV×1.5ns
クロック・エッジ	シングル	ダブル
クロック方式	共通	ソース・シンクロナス
相互接続	マルチポイント	マルチポイント
タイミング	集中	集中／不規則に広がる

表1. PC133対DDR SDRAM

表1は、PC133とDDRの類似点と相違点を示したものです。重大な違いは、「アイ」、すなわちデータ・バリッド・ウィンドウの大きさです。DDRのアイは700mV×1.2nsなので、データ・バリッド・ウィンドウは、PC133のデータ・バリッド・ウィンドウの1/4の大きさしかありません。このため、はるかに少ないエネルギーで、信号が歪み、DDRバス上にグリッチが生じます。

図1は、単一データ・チャネルのアイ・ダイアグラムを示したものです。最初のデータ・ビットは、振幅700mV、データ有効時間1.5nsのデータ・バリッド・ウィンドウで、仕様の範囲内です。しかし、数ビット後のごくわずかなジッタによって、データ・バリッド・ウィンドウが1nsに縮小しています。

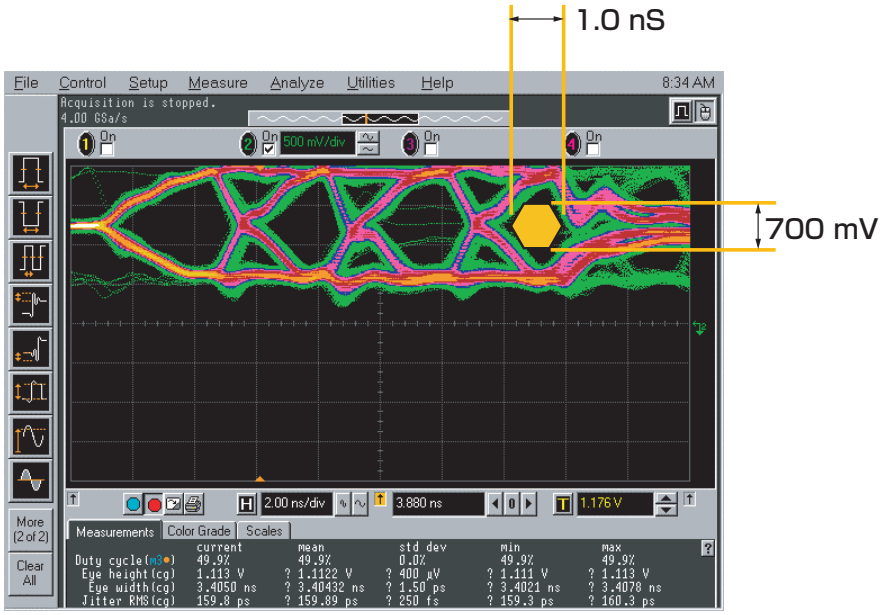

図1. この単一データ・チャネルのアイ・ダイアグラムからは、ごくわずかなジッタによってデータ有効時間が1.5nsから1.0nsに減少して行く様子がわかります。

ジッタの原因

データ・バリッド・ウィンドウが縮小している場合には、ジッタの原因であるイベントに対処する必要があります。ジッタの原因の1つは、符号間干渉（ISI）です。より高い周波数では、0が1に変化したあとに、すぐに0に戻る場合に電圧が最大振幅に達する時間がない可能性があります。しかし、1の列（例えば、01110）が連続した場合には、電圧が最大電圧に達する時間があります（図2）。

ISIは、立下がりエッジでもジッタを引き起こします。01110というデータ・パターンは、010というパターンに比べて、最大電圧から0のしきい値に達するのに時間がかかります。パターン010は、最大電圧に達したことが全くなかったため、しきい値に達する時間がより短くなると考えられます。例えば、パターン010は、信号がハイ（1）レベルから0のしきい値を超えるまでに1ns要するのに対して、パターン01110は、最大電圧から0のしきい値に達するのに1.5ns要します。このため、本例では、0.5nsのジッタが生じます。DDRのデータ・ビット・ウィンドウがわずか1.2nsということもあり得るので、0.5nsのジッタが重大な意味を持ちます。

ジッタのもう1つの原因は、クロストークです。周波数が高いほど、少量の誘導性／容量性結合でも、相当量のエネルギーがトレース間で伝搬します。被害を受けるラインに結合されたエネルギーは、電圧オフセットとして作用するため、ジッタが生じます。

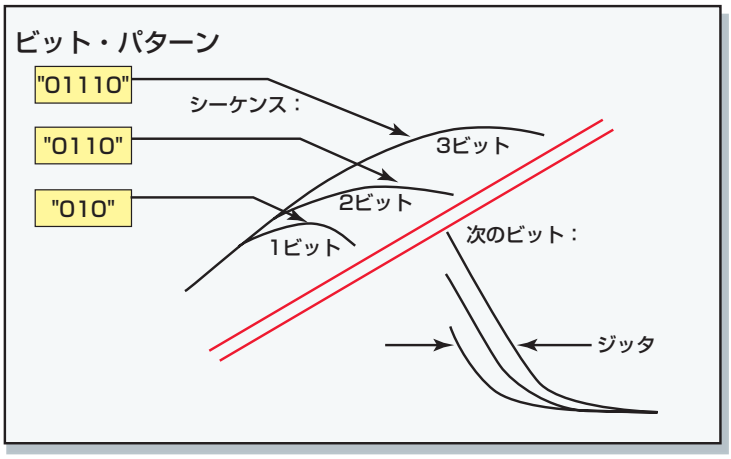

図2.　符号間干渉は、信号が最大振幅に達する時間がなかった可能性がある場合に発生します。1が多く続くパターンほど、最大電圧が高くなります。

スタブ

DDR速度では、スタブの影響を無視することはできません。図3aは、代表的な負荷終端バスを図示したものです。100MHz以下の周波数では、バス上の信号のエッジ速度に比較してスタブは短く、どのようなリンギングも、デバイスに達するまでに整定する時間があるためこのような設計でも問題なく動作します。

図3bに示されているように、133MHzの周波数では制動抵抗が必要です。DDR仕様には、22Ωの抵抗値と記載されています。バックプレーン上での10Ω終端は、設定値ではないので、SPICEモデリングによって決定するのが一番です。

クロック信号は、図4の左側の画面表示のようになるはずです。この測定点はDRAMです。右側の画面の信号は明らかに望ましくない信号ですが、実際に少量の反射でもこのような歪みが生じる可能性があります。このような歪みは、スタブが正しく終端されていないために生じる反射が原因であると考えられます。

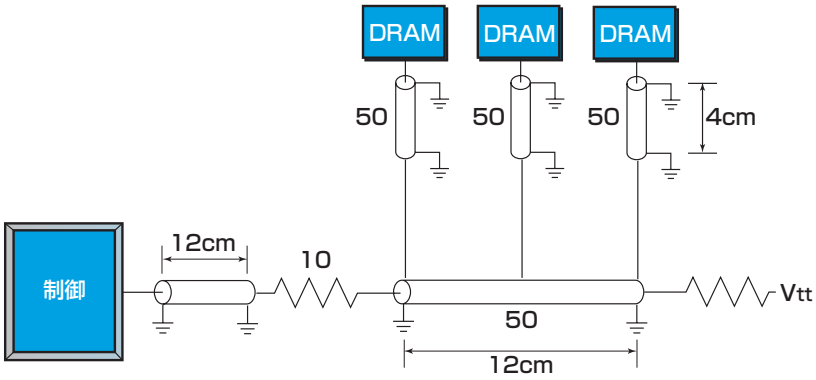

図3a.　100MHz以下の周波数では、信号のエッジ速度に比例してスタブが短くなります。

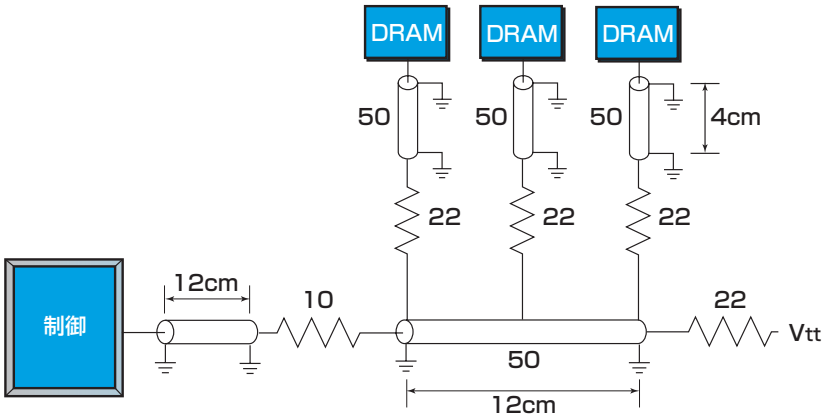

図3b.　DDR速度では、スタブの影響を無視することはできません。

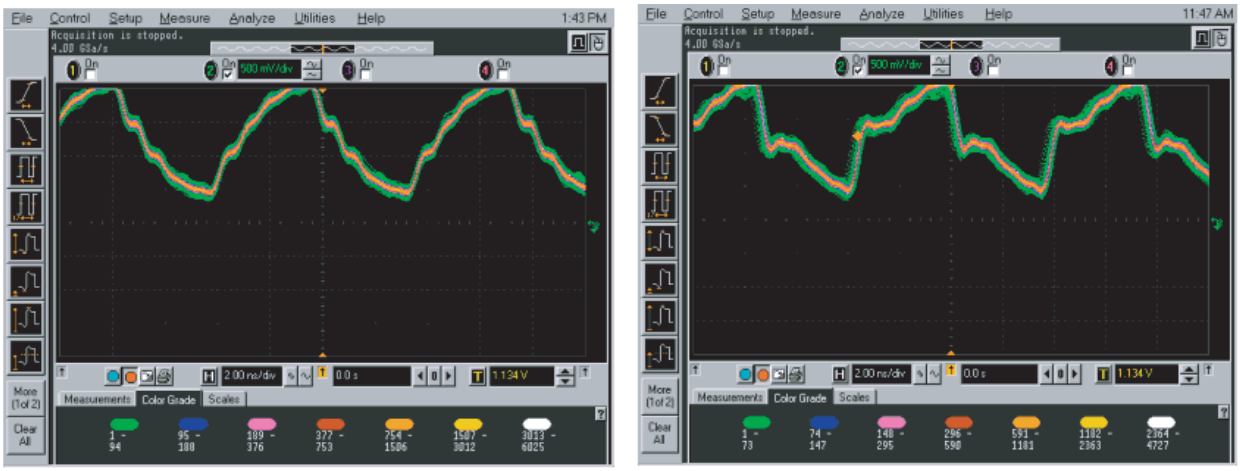

図4.　左側に示されているように、信号経路が正しくデザインされていると、クリーンな信号が得られます。右側の信号の歪みは、少量の反射に起因しています。

266MHzを超えるバス速度

バス速度が266MHzを超えるようになると、克服しなければならない問題はさらに多くなります。例えば、800MT/s（メガ転送／秒）で動作するRambusの仕様では、トレースを図5のビア5やビア6のようにルーティングすることが求められています。ビア2とビア3の間に示されているように信号がルーティングされた場合には、スタブが生成されます。このため、Rambus仕様に違反することになり、好ましくない反射が生じます。InfiniBandやRIO周波数では、ビア1に示されているテスト・ポイントがアンテナに変わるため、信号品質に問題が生じることが多くなります。

高速メモリ・バスを用いたデザインを最適化するためには、3Dモデリング用ソフトウェアを使って、バスのフルSPICEシミュレーションを実行する必要があります。理想的な値は決して1つではなく、ノイズ・マージンとタイミングのどちらを採るかを選択するしかありません。

バスの性能の向上により、デバッグ、検査および動作検証の方法の変更を余儀なくされて来ています。DDRを実装した場合には、データ・バリッド・ウィンドウが小さいので、信号品質が極めて重要になります。周波数が高くなるにつれて、デザイナは、ジッタがウィンドウのサイズをさらにどれだけ縮小するかを認識しておく必要があります。クロストークや符号間干渉などの現象を考慮に入れる必要もあります。また、周波数が高いほど波長が短くなるため、トレースを伝送線路として扱う必要があるだけでなく、パッケージ・リードでさえアンテナと考える必要があります。

そのため、バス速度の向上にはデザイン方法の数々の変更が欠かせません。こうした変更は、バスのテストや測定の方法にも影響を及ぼします。

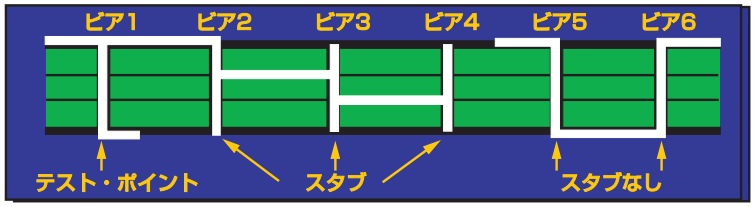

図5.　バス速度が1GHzを超えると、ビアがスタブに、テスト・ポイントがアンテナになることがあります。

プロービングの影響

テストに影響を及ぼす深刻な問題の1つがプロービングです。ハイゼンベルグの不確定性原理の測定への適用方法は、誰でもよく知っていることです。測定の実行時には必ず、試験用機器の接続が、測定にある程度の影響を及ぼします。プロービングの回路への影響は、周波数が高くなるにつれて著しくなります。このため、最適なテスト・デザインは、テスト用プロービングの測定への影響を最小限に抑えるものでなければなりません。

図6は、パッシブ・プローブの回路モデルと、各モデルが信号のエッジにどのような影響を及ぼすかを示したものです。信号周波数（信号エッジの周波数成分）が50MHzを超えると、プローブ・リード線の浮遊インダクタンスが回路に与える影響が大きくなります。これにプローブのキャパシタンスが加わって、信号にリンギングが生じ始めます。266MHzのようなより高い周波数では、典型的なプローブをただ接続するだけではいけません。適切に終端された伝送線路を使ってプロービングする必要があります。確度の高い測定を実現するには、プロービングと適切な終端が不可欠です。

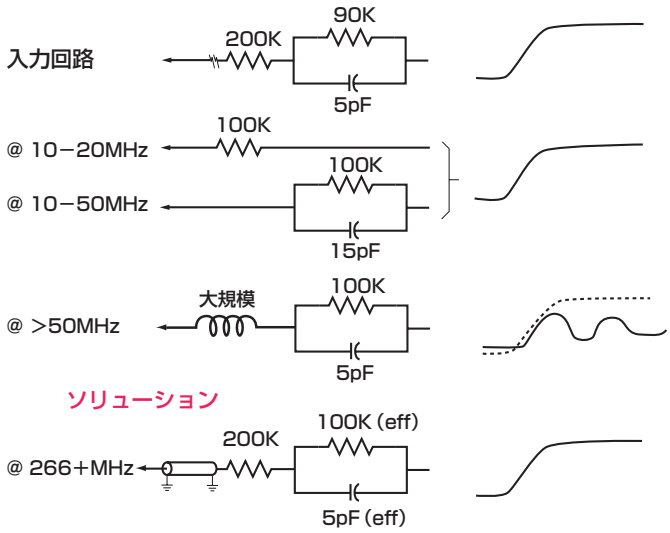

図6.　周波数が高くなると、伝送線路の考え方を導入する必要があります。

信号に歪みが生じた場合にもデータをクロックによって正確に同期させて転送することのできる、テスト・ツールが求められています。図7のデータ・ストローブは、データをロジック・アナライザに送り込むのに用いられます。Vrefラインは、0と1の間の標準遷移が検出されている場所を示しています。プローブがVrefだけを使って立上がり／立下がりエッジ上の遷移点を確定した場合には、クロックによって誤った同期がとられてしまいます。これは、信号上に広いショルダがあり、コンパレータの出力にグリッチが生じるので間違ったクロックが発生するためです。この問題を解決し、正確なデータを捕捉するためには、プローブが2重しきい値トリガ（シュミット・トリガ）を用いる必要があります。このようなプローブは、上下のしきい値を越えない限りトリガしないので正確なクロッキングができます。

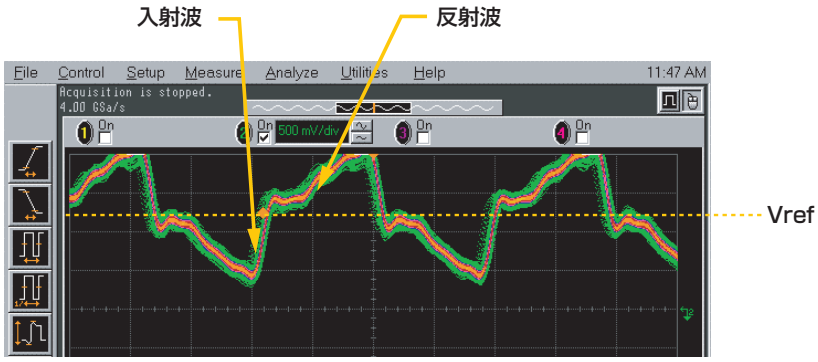

図7.　試験用機器は、信号に歪みが生じた場合にも、データをクロックによって正確に同期させて転送することができなければなりません。

アドバンスド・ツールによる明瞭な表示の実現

高速バスを正確に測定するためには、システムの動作に影響を及ぼしたり、別の問題を引き起こすことなく、被試験システムの動作や性能をすばやく確認することのできるツールが必要です。アドバンスド解析プローブは、ツール・セットの重要なコンポーネントです。

プローブ

解析プローブは、アクティブ・プローブかパッシブ・プローブとして設計することができます。どちらを選択するかはトレードオフになります。理想的な解析プローブは、設定が簡単で、強力なトリガ機能を備えているだけでなく、小さなデータ・バリッド・ウィンドウにおいてもクロックによって正確に同期をとることができます（アクティブ・プローブの利点）。同時に、価格が手頃で、しかもこれが最も重要なことなのですが、ターゲットのシリコン（デバイス）が入手でき次第すぐに利用できるようになります（パッシブ・プローブの利点）。理想的な解析プローブはまた、クロック問題に対処することによって、正確なタイミング情報と確度の高いステート・データを提供できなければなりませんが、バス上に反射を引き起こすことがあってはなりません。さらに、アクティブ・プローブのパワーとパッシブ・プローブの柔軟性を兼ね備えていなければなりません。

アイ・ファインダ

ソース・シンクロナス・データ・バスは、全く新しい問題をもたらします。Motorola 6800の全盛期とは違って、有効データを単にアドレス・ストローブ（AS）の立上がりエッジに同期して転送することはできません。例えば、DDRバスは18個のソース・シンクロナス・クロックまたはストローブを使用します。ストローブにはそれぞれ4つのデータ回線が割り当てられていますが、ロジック・アナライザは、19個のクロックを使ってサンプリングすることはできません（1つのクロックしか選択できません）。さらに、セクション間のスキューが大きいこともあり得るため、データ・バリッド・ウィンドウが小さくなります。データ・バスの再調整と正しいタイミングでのクロックによるデータの同期転送が、高速バスのデザイナとバス測定用の試験用機器にとっての課題です（図8a）。これを手動で行なうことは可能ですが、実現するには何時間、あるいは何日もかかることが予想されます。このプロセスを自動化する技術は、テストの大幅なスピードアップを実現するはずです。

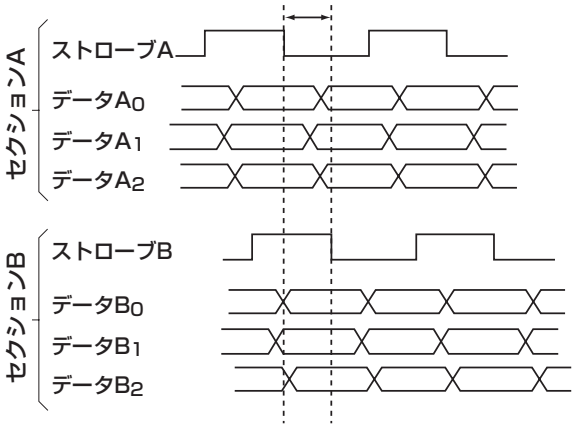

図8a.　DDRバスの19個のクロックすべてを使ってサンプリングし、セクション間のスキューを補償することはできません。単一のクロックでスキューが生じているバス・データをすべてサンプリングすることは困難な問題です。

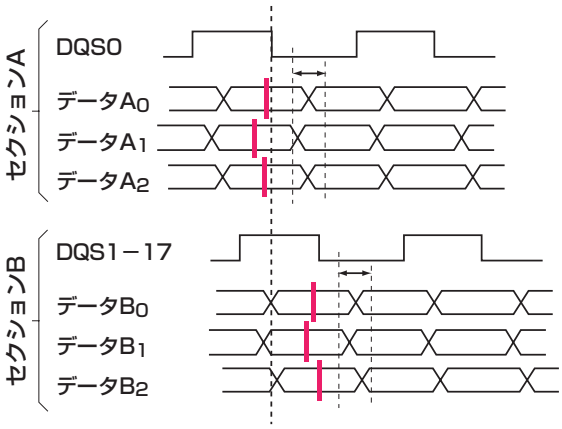

図8b.　Agilentのアイ・ファインダは、チャネル間のスキューをたった数分で自動的に解決します。

図8bは、Agilent Technologiesの「アイ・ファインダ」を使用すれば、ソース・シンクロナス・バスによって引き起こされたチャネル間のスキューが、100psの分解能で、たった数分で解決できることを示したものです。各チャネルのサンプルおよびホールド設定は、DQS0に合わせて調整されます。

アイ・ファインダを用いることには、さらにもう1つの利点があります。アイの大きさを確認し、他のすべてのチャネルと視覚的に比較することができるので、潜在的な問題点を簡単に検出できます。あるアイが他のアイよりもはるかに小さく見える場合には、そこが問題領域である可能があります。オシロスコープを使って、そのアイの大きさを正確に測定して、可能性のある問題点に関する詳細な情報を入手することができます。

要約

プロービングはもはや、プローブをテスト・ポイントに留めるだけの作業ではありません。プロービング・システムは、被試験バス用に設計されたものでなければなりません。ソース・シンクロナス・バスに取り組むためには、アイ・ファインダのような新しいツールが必要です。

もう1つの問題点は、バスは孤立した状態では動作せず、常に他のバスと相互に作用しているということです。CPUフロントサイド・バス（FSB）は、SCSIディスク・ドライブからデータを要求し、そのデータをメモリに入れることがあります。データをメモリに入れる時に問題が生じた場合には、その問題の原因を突き止めることは、非常に困難です。DDRメモリ・バスだけ、またはSCSIバスだけを調べても問題を解決することはできません。理想的な解決策は、関連するすべてのバスを調べ、それらのバスが動作しているかどうかだけでなく、性能問題も確認することです。この機能はクロスバス解析と呼ばれています。

このため、システムやツールの開発者は、高度な高速バスの開発に着手する際には、きわめて多面的なデザインやテストの手法の変更に対処しなければなりません。最先端を行くエンジニアは、もっとも高度なプロービングおよびロジック解析ツールを見つけ出し、今日はもちろん、未来の複雑なデザイン上の問題を解決する必要があります。

プローブとロジック・アナライザの組み合わせによるDDRの制御

DDRなどのバスの解析は、Agilent 16700シリーズ・ロジック解析システムとFuturePlus FS2330 DDR DIMM（Dual In-line Memory Module）プローブを組み合わせて用いることによって容易になります。DDRは複雑なソース・シンクロナス・バスであるため、解析プローブとロジック・アナライザがその複雑さに自動的に対処することが重要です。FS2330は、クロック・プロトコルのセットアップ・ファイルをすべて備えています。FS2330は、データとコマンド行の完全な逆アセンブルも提供します。さらに、Agilentが特許権を持つアイ・ファインダは、100ps分解能でのクロックとデータの自動調整を実現します。

プローブは可能な限りDIMMスロットに近い位置で終端するので、プローブとDUT（被試験デバイス）のインピーダンス不整合が最小限に抑えられます。このため、アクティブ・プロービングが不要になります。経路内にアクティブ回路がないため、正確なタイミングの測定が可能になっています。ロジック・アナライザのケーブル・コネクタと終端がボードに直接接続されます。このため、ロジック・アナライザへの簡単な接続、適切なインピーダンス整合、信頼性の高い機械的接続が実現されています。

FS2330は、フルスピードの266MHzでステートを捕捉する他、1回のデータ捕捉で2GHzのタイミング情報を提供します。ステートとタイミング・データの同時捕捉により、DDRバスの動作を迅速かつ容易に理解することができます。全信号のパッシブ・プロービングに加えて、この解析プローブは、さまざまなDDR構成にも柔軟に対応します。

FS2330解析プローブの最も重要な特長は、物理的な大きさと電気長です。物理的には、FS2330解析プローブは標準DIMMと同じ大きさです。プローブの上部からは柔軟性のあるケーブルが出ているため、どのようなスロットにでも装着できます。さらに重要なことには、バスへの影響がRegistered DIMMと同じであるため、バスの動作には影響を及ぼしません。バスはフルスピードで動作するだけではなく、FS2330解析プローブがあってもなくても同じ動作をします。Unregistered DIMMを用いたデザインの場合は、プローブ上に配置されたスイッチにより、クロックレイテンシの違いに対応します。

サポート、サービス、およびアシスタンス

アジレント・テクノロジーが、サービスおよびサポートにおいてお約束できることは明確です。リスクを最小限に抑え、さまざまな問題の解決を図りながら、お客様の利益を最大限に高めることにあります。アジレント・テクノロジーは、お客様が納得できる計測機能の提供、お客様のニーズに応じたサポート体制の確立に努めています。アジレント・テクノロジーの多種多様なサポート・リソースとサービスを利用すれば、用途に合ったアジレント・テクノロジーの製品を選択し、製品を十分に活用することができます。アジレント・テクノロジーのすべての測定器およびシステムには、グローバル保証が付いています。製品の製造終了後、最低5年間はサポートを提供します。アジレント・テクノロジーのサポート政策全体を貫く2つの理念が、「アジレント・テクノロジーのプロミス」と「お客様のアドバンテージ」です。

アジレント・テクノロジーのプロミス

お客様が新たに製品の購入をお考えの時、アジレント・テクノロジーの経験豊富なテスト・エンジニアが現実的な性能や実用的な製品の推奨を含む製品情報をお届けします。お客様がアジレント・テクノロジーの製品をお使いになる時、アジレント・テクノロジーは製品が約束どおりの性能を発揮することを保証します。それらは以下のようなことです。

- 機器が正しく動作するか動作確認を行います。
- 機器操作のサポートを行います。
- データシートに載っている基本的な測定に係わるアシストを提供します。
- セルフヘルプ・ツールの提供。
- 世界中のアジレント・テクノロジー・サービス・センタでサービスが受けられるグローバル保証。

お客様のアドバンテージ

お客様は、アジレント・テクノロジーが提供する多様な専門的テストおよび測定サービスを利用することができます。こうしたサービスは、お客様それぞれの技術的ニーズおよびビジネス・ニーズに応じて購入することが可能です。お客様は、設計、システム統合、プロジェクト管理、その他の専門的なサービスのほか、校正、追加料金によるアップグレード、保証期間終了後の修理、オンサイトの教育およびトレーニングなどのサービスを購入することにより、問題を効率良く解決して、市場のきびしい競争に勝ち抜くことができます。世界各地の経験豊富なアジレント・テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、製品の測定確度の維持をお手伝いします。

関連文書

タイトル	分類	カタログ番号
Agilent 16700 Series Logic Analysis System	Product overview	5968-9661E
Agilent Infiniium 54800 シリーズ・オシロスコープ	Color brochure	5980-2388JA

Rambus®はRambus Inc.の商標です。

アジレント・テクノロジー株式会社
本社 〒192-8510 東京都八王子市高倉町9-1

計測お客様窓口
受付時間 9:00～19:00
（土・日・祭日を除く）
※FAXは24時間受付け

TEL 0120-421-345
(0426-56-7832)
FAX 0120-421-678
(0426-56-7840)
E-mail:contact_japan@agilent.com

電子計測ホームページ
http://www.agilent.co.jp/find/tm

- 記載事項は変更になる場合があります。
  ご発注の際はご確認ください。

Copyright 2002
アジレント・テクノロジー株式会社

Agilent Technologies

April 4, 2002
5988-4497JA
0000-00DEP