Agilent Medalist Bead Probe Technology
高速／高密度プリント基板用の新しいインサーキット・プロービング手法(ビード・プローブ技術)

White Paper

Agilent Technologies

要約：

インサーキット・テスト (ICT) のテストパッド用デザイン(DFT: Design for Testability) ルールは、よく知られていて、20年近くにわたって業界で使用されてきました。しかし、PCBの密度高密度化に伴って、ICTテストパッドを置くスペースが確保できなくなりつつあります。さらに、最近の基板の信号速度の技術的な進歩により、ボードの高速回路部に、ICTテストパッドを追加することはできないと感じている設計者もいます。ICTの効果はテストパッドへのアクセスに直接関連するため、こうした高密度／高速PCB環境におけるICTの長期的な存続を疑問視する人もいます。

Parker氏は、こうした問題に対応するために、2004年に新しいICTプローブ手法を発表しました [Park04]。Agilentでは、この手法を「Medalistビード・プローブ技術」と呼んでいます。Parker氏は、この新しい手法によって今日のギガビット・ロジック・ボードの高速回路性能が低下することはないということを証明しています。また、この新しい手法は、代表的なPCBアセンブリ・プロセス／ICTフィクスチャで使用でき、現在のICTプロービング手法と同様の電気性能と信頼性を有することを示すテスト結果も示しています。

本書では、この議論を続けるとともに、実際のPCBデザイン・プロセスを用いて、これらの新しいパッドがテストパッドのレイアウトに与える影響がほとんどないことをさらに実証します。また、「ビード・プローブ」のDFTガイドラインを説明し、製造環境でビードを製造する際に妨げとなる可能性のある障害について検討します。最後に、PCBボードの高速回路部へのICTアクセスができるようになるので、実現可能なICTテスト手法についても紹介します。

Agilent Medalistビード・プローブ技術は、プリント基板アセンブリ (PCBA) 上にテスト・プローブ（ビード）を設置し、これを使ってPCBAをテストする独自のテクノロジーです。Agilent Medalistビード・プローブ技術以外にも、Agilentでは、ビード・プローブ技術のさまざまな機能に関して、いくつか特許を申請しています。その中には、テスト・プローブを備えたPCBAの製造や、テスト・プローブを使ったPCBAのテストが含まれています。

1. ビード・プローブの概要：

次のセクションでは、Parker氏の論文 [Park04] について概説します。

インサーキット・テストは、「ベッド・オブ・ネイル」と呼ばれる多数のテスト・プローブを備えたフィクスチャによる直接ノード・コンタクト（すなわち、「アクセス」）に依存します。これにより、ICTシステムは、テストに必要なリソースを切り替えることができます。これは、抵抗の2端子測定や、何百ものデジタル・ドライバやコンパレータを設定するのと同じように簡単です。

ノード・アクセスが制限される可能性がある理由には、主に以下の2つがあります。
- ボード上のデバイス、ピン、トレースの高密度化
- 標準アクセス・ポイントがボードの電気性能を低下させる

1.1　ボードのプロービング：

プロービング・ルールは、数百または数千のプローブを各ボードと確実に接触させるというニーズから生まれます。これは、ICTフィクスチャの耐用期間中に何千回も行う必要があります。1つでもプローブが接触に失敗すると、ボードがテスト不可能になったり、さらに悪いことに、不正確なテストになることがあります。このため、「Design for Probe-ability」と呼ばれる、ボードのプロービングに関する業界のルールが定められました。

プローブは、ボード上のターゲットに狙いを定める小さな槍と考えることができます。Bullock氏[Bull87]は、このようなターゲットを形成したり、ボード上にある「未加工の」ターゲットを使用するためのルールを示しました。一般的な未加工のターゲットの1つは、異なるボード層を接続するビアです。ただし、トレースの寸法もデバイスやピンのサイズと同様に小型化が進み、プローブ対象も確実に捕らえることができない程度にまで小型化しています。このように、ターゲット・サイズには事実上の下限があります。Bullock氏は、確実なサイズとして、35 mil (0.89 mm) のラウンド・ターゲットを挙げています。今日では、下限を26 mil（0.66 mm）以下にまで引き下げているものもあり、正確にプロービングするにはコストもリスクも大幅に増加します。 35 milのラウンド・ターゲットが962 mil^{2}の面積であるのに対して、0204インチの表面実装デバイスは800 mil^{2}の面積を持っています。したがって、テスト・アクセス・ポイントが、デバイスと同じ面積を占める可能性があります。さらに悪いことに、PCトレースのライン幅やスペースに関する要件は非常に厳しくなっています。最新の高速デザインでは、3 mil (0.076 mm) ほどの小さなトレースの幅やスペースが使用されることもあります。ギガビットのデータ伝送レートでは、これらの仕様を逸脱することはほとんどできません。このため、35 milのターゲットを3 mil幅のトレースに追加するように設計者に求めても、そう簡単には受け入れられません。

1.2　プロービング・パラダイムの逆転

ICTのベッド・オブ・ネイル・フィクスチャは、数十年にもわたって完成されたテクノロジーでした。私たちは、何千ものプローブをボード上のターゲットに確実に接続できる方法を知っています。しかし、このモデルを逆転させたらどうなるでしょうか？ ボードにプローブが、フィクスチャにターゲットが搭載されているとどうなるでしょうか？ 小さなプローブをボード上にどうにか配置でき、フィクスチャには35 milのターゲットが搭載されていると考えてみてください。現時点で管理方法がわかっている許容値や確度はすべて適用できます。これは、原理的に有効な方法ですが、問題は、ボード上へのプローブの配置方法、それがボードの性能にどのような影響を及ぼすかということです。そしてもちろん、それは安価で、信頼性が高く、再現性のあるものでなければなりません。

1.3　ビード・プローブ

ボード上に新しいコンポーネント（接触させたいトレースと同じくらいの幅のもの）を配置することは困難ですが、半楕円形のごく小さなはんだ、いわゆる「ビード・プローブ」を設置することはできます。これについては、以下で詳細に説明します。このビードは、トレース上にその幅の4～6倍の長さで乗せます。このビードの高さはわずかですが、周囲のはんだマスクの上にでます。

1.4　ビード・プローブとフィクスチャ内ターゲット

はんだビードの端面と側面の断面図を図1に示します。はんだの体積、むき出しになっている銅の面積、表面張力により、ビードの大きさや形状が決まります。

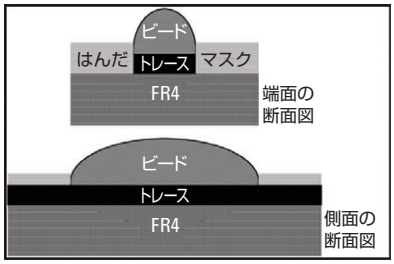

図1：ビード・プローブの端面および側面の断面図。

ビードは、わずかな厚さしかないはんだマスクの上に突き出ています。フィクスチャを移動させ、ボードとフィクスチャ・プローブを接触させると、フィクスチャ内にプローブ・ターゲットが配置されます。フィクスチャ・ターゲットはバネ式のラウンド「プローブ」で、スルーホール・ピンなどの先の尖った物をプロービングするのによく用いられます。ここでは、それらの役割を逆にしてターゲットとしています。図2を参照してください。

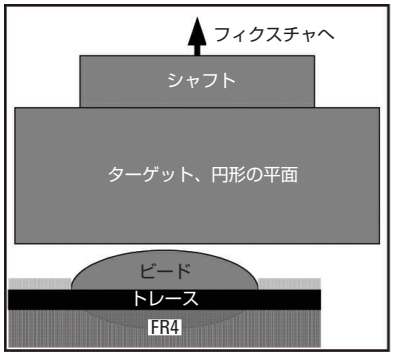

図2：ビード・プローブとターゲットの側面図。

レジスト・エラーにより横方向の変形エラーが生じることに注意してください。この場合は、ビード・プローブとターゲットが完全に中心にくることはありません。長年にわたって対処してきたエラーと同じエラーが発生します。

ターゲットが35 milだとすると、図2のビードは約17 milの長さになります。図1から、ビードは幅6 mil、高さ4 milと推測されます。これらの（または同様の）寸法が、ビード・プローブの性能に極めて重要であることがわかります。これについては、セクション1.6で説明します。ビード・プローブは非常に小型で、肉眼ではほとんど見えませんが、大きすぎるビードもあります。

1.5　ビード・プローブの作成

ビード・プローブは、他のはんだ付けと同様のステップで作成されます。はんだマスクは、ビードが必要なトレース上に開けられます。はんだは、流れて凝固する際に、はんだの銅との親和性や、マスクとの非親和性により、銅トレース上に盛り上がります。このスケールでは、重力より表面張力が完全に優るので、ビードの表面は湾曲します。はんだマスクの開口部により、ビードの外形寸法が決まります。
ビードの高さは、2つの因子によって制御されます。まず、体積によって制御されます。代表的なはんだペーストは約50 %が溶剤で、リフロー中に気化します。したがって、ペースト量の約1/2がはんだとして堆積します。はんだステンシル（メタル・マスク）の開口部は、後で表面張力によって周囲のマスクを超える高さまで「ビードを形成」できるだけの大きさにします。トレース・アウトライン、はんだマスク、ステンシル穴の例を図3に示します。

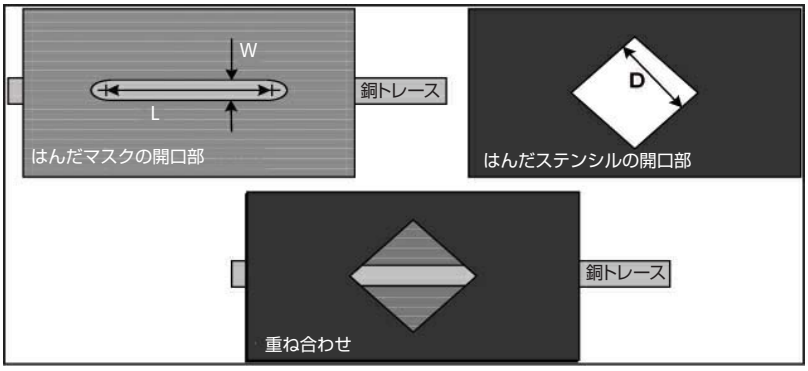

図3：ビード・プローブ作成のためのボード、はんだマスク、はんだステンシルの重ね合わせ

はんだマスクの穴は、図のように、幅W、中心間の長さLの長円形（先端が丸い長方形）の穴です。幅は、トレースの幅と同じか、それ以下でなければなりません。長さは、トレースと同じ方向でなければなりません。幅と長さの選択については、次のセクションで説明します。銅がむき出しになっている長円形の穴の面積は、$WL + \pi (W/2)^2$です。

はんだステンシルの穴は、トレースに対して45度回転した、ビード位置が中心の正方形（辺の長さD）です。この穴は、面積D^2がマスクの穴より大きくなっています。回転によってはんだペーストを受け入れる銅の面積は最大化されますが、信頼性の高いステンシル印刷を実現するには正方形が最適な形状です。一部のペーストははんだマスクに塗布されますが、このペーストは溶融中に銅の上に流れ込みます。ステンシルの厚さTにより、塗布されるはんだペーストの量も決まります。ボードに塗布されるペーストの量はTD^2になり、気化後には、この溶剤から$TD^2/2$の量のはんだが得られます。

W、L、D、Tが与えられると、その結果としてのビードの概算の高さHを以下のように計算することができます。
はんだの量をむき出しになった銅の面積で割ると、以下のようになります。
$H \cong (TD^2/2) / (WL + \pi (W/2)^2)$
W、H、D、Tが与えられると、ビードの概算の長さを以下のように計算することができます。
$L \cong ((T*D^2/2) / (H*W)) - \pi W/4$

1.6　動作原理

ICTのベッド・オブ・ネイル・プロービング手法は、先の尖ったプローブを使ってボード上のターゲットを捕らえることにより機能します。プローブのスプリング圧により、鋭利な先端がある程度はんだに押し付けられます。その程度は、スプリング圧とはんだの耐力により決まります。はんだ（有鉛／無鉛）の耐力は、約5000ポンド／平方インチ（約350 Kgf/cm^2）です。

プローブの先端はまずはんだ、そしてその表面の酸化物または汚染物質に触れ、プローブの先端がはんだの中に入り始め、酸化物または汚染物質を除去します。プローブの先端ははんだの中に入り続けるため、横断面の接触面積が広くなります。そのうちに、この面積はスプリング圧に対応できるだけの大きさになり、プローブがはんだを動かすことはなくなるので、プローブがそれ以上はんだの中に入り込むことはありません。
ビード・プローブによって、平面プローブが接触した際にはんだが移動し、図4に示されているように、ビード・プローブの先端が平らになります。この平坦化によって酸化物や汚染物質が除去されるため、電気伝導率が向上します。

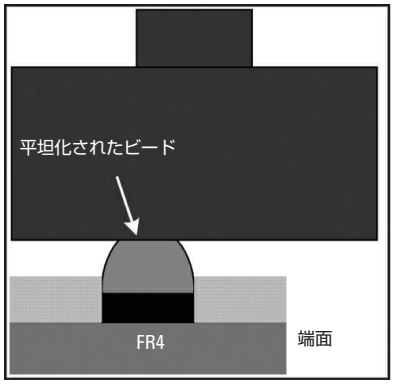

図4：ビードは接触時に平坦化します。

ビードは半楕円形に近い構造です。硬い平面を押し付けると、最初の接触では1点で無限の圧力がかかるため、はんだが移動するはずです。表面が移動すると、ビードの長さに沿った長軸A、幅に沿った短軸Bを持つ楕円形の領域ができ始めます。楕円の面積はπ ABです。この面積は、スプリング圧に対応できるようになるまで拡大し続けます。oz/mil^2 (0.08) のはんだの耐力を用いると、スプリング圧に対応するために必要な面積がわかります（下の表を参照）。

表1：与えられたプローブのスプリング圧に対応するために必要な面積

プローブのスプリング圧 (oz)	スプリング圧に対応するための面積 (mil^2)
2	25
4	50
8	100

ビードの短軸は通常、それが存在するトレースの幅の制約を受けます。ビードがあまりにも小さい場合は、スプリング圧に対応するのに必要な表面積がビード自体より大きくなり、ビードが破砕される可能性があります。ビードがあまりにも大きい場合は、表面の押しつぶされた領域は、酸化物を除去するだけのはんだを押し出すことはできません。図5に示されているように、ビードの破砕の原因となるので、短軸はWの50 %を超えてはいけません (W > 2B)。

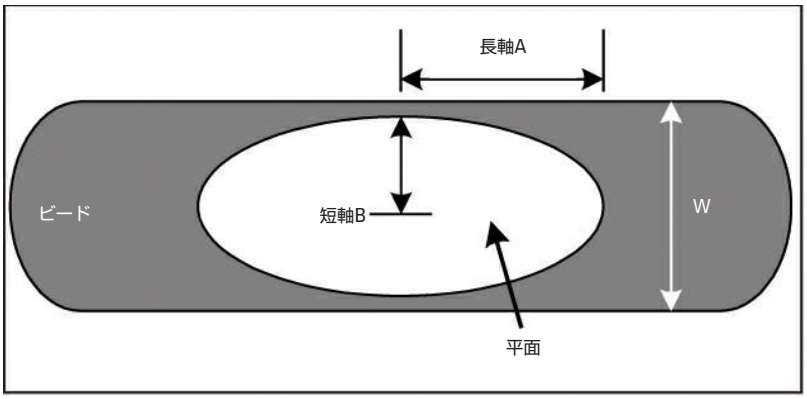

図5：平坦化したビードの平面図

表2は、スプリング圧に対する長軸の長さを、いくつかのビード幅とスプリング圧について示したものです。短軸対幅の場合もそうでしたが、長軸は、すべてのビードに対してビードの長さの1/2以内でなければいけません。やはり、50 %の係数を使用して、各ビード長が長軸の長さの2倍以上になるようにします (L >2A)。

表2：各ビード幅のスプリング圧に対応するために必要な長軸の長さ

スプリング圧 (oz)	ビード幅 (mil)	短軸B (mil)	長軸A (mil)
2	3	1.5	5.3
	4	2	4
	5	2.5	3.2
4	4	2	8
	6	3	5.3
	8	4	4
8	4	2	16
	6	3	10.6
	8	4	8

4 mil未満のビード幅は、トレースが狭いため、はんだマスクが1つの制限因子となって、正確に作成することはさらに難しくなります。また、ビードははんだマスクの上にある程度の高さが必要ですので、幅と高さの比も1つの制限因子となります。はんだマスク自体はビードの両側をサポートしますが、高さのある細いビードでは信頼性に欠けます。

1.7　ビード・プローブの形成実験

実現可能なデザインを確認するために、数種類のビード・プローブで構成されるボードを製作しました。数十個のビードの写真を撮影した後で、正確な測定が行われたものを、顕微鏡の下で細かく分けて写真を撮影しました。バージン・ビードと接続後のビードの両方を測定しました。

図11は、新しく形成したビードを上から撮影したもので、4 milライン、6 mil間隔の2本の差動トレースのうちの1本に実装されています。 ビードの周囲の楕円形の領域は、溶剤の残留物です（洗浄処理なし）。

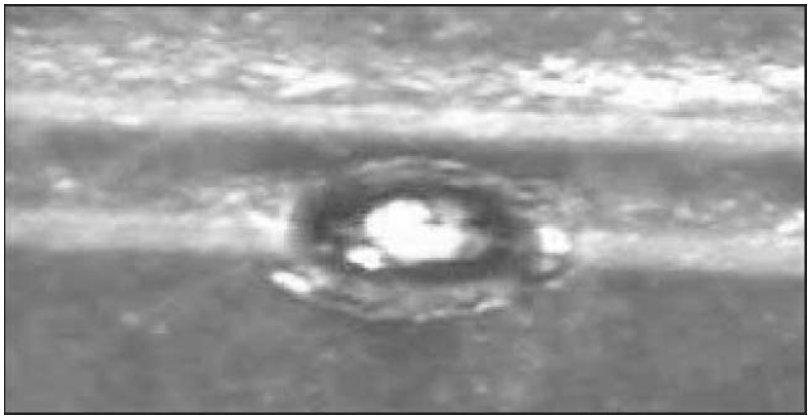

図11：差動ペアの1本のトレース上にあるバージン・ビードを上から撮った写真。

図12は、ビードの断面を示したものです。この時点では、ビードの高さは2.9 milでした。同じビードの他の断面の高さは、2.3～3.7 milの範囲でした。幅はほとんど一定のままでした。エッチング／めっきの効果（CuNiAuめっき）により、オーバエッチングされた壁とマッシュルーム状の覆いを持つトレースが形成されています。

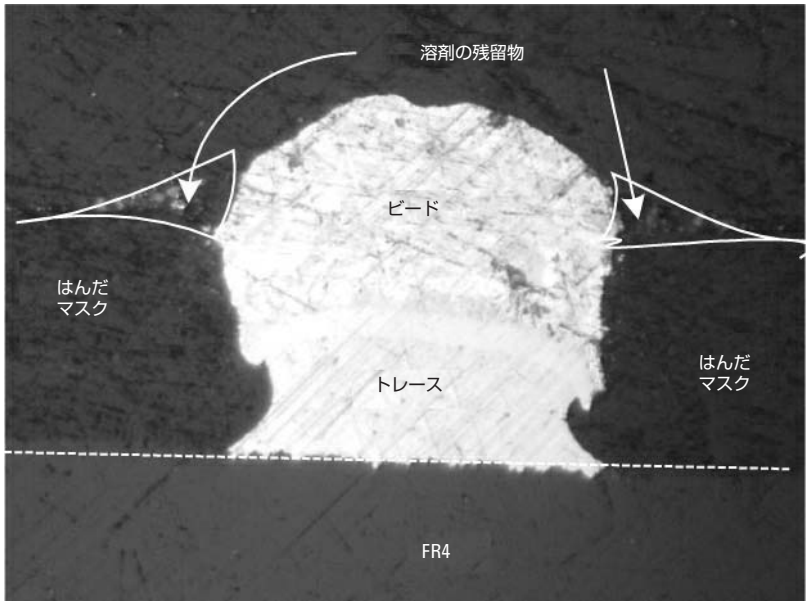

図12：高さ2.9 mil、幅5.3 milのビード。

図13は、8 オンスのプローブを使って10回接続した後のビードを示したものです。1回だけ接続した場合も同じように見えました。平坦な領域はクリーンなはんだ特有の光沢を持っています。この領域は、予測した正確な楕円ではありませんが、理論に適合しています。

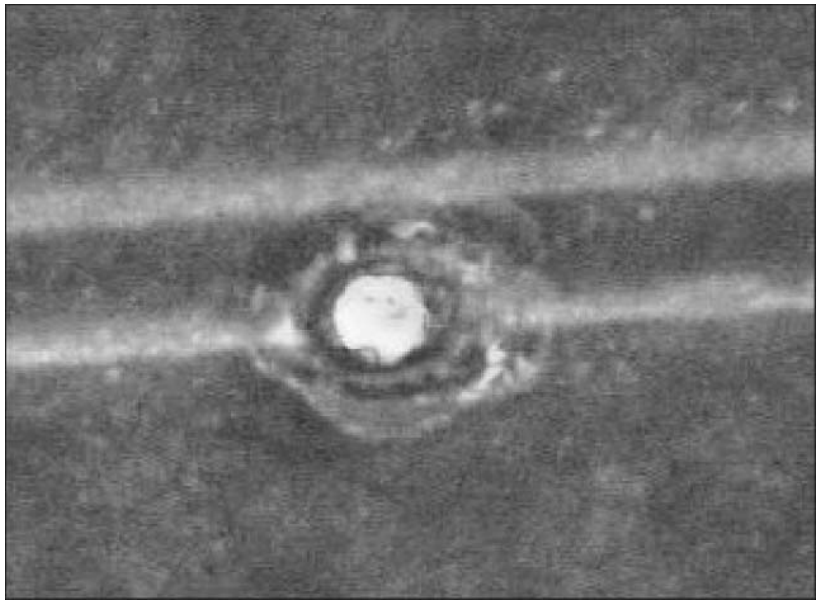

図13：接続後のビードの上面写真。

図14は、接続後のビードの断面を示したものです。上面からは、はんだが押しつぶされ平坦化が発生していることがわかります。

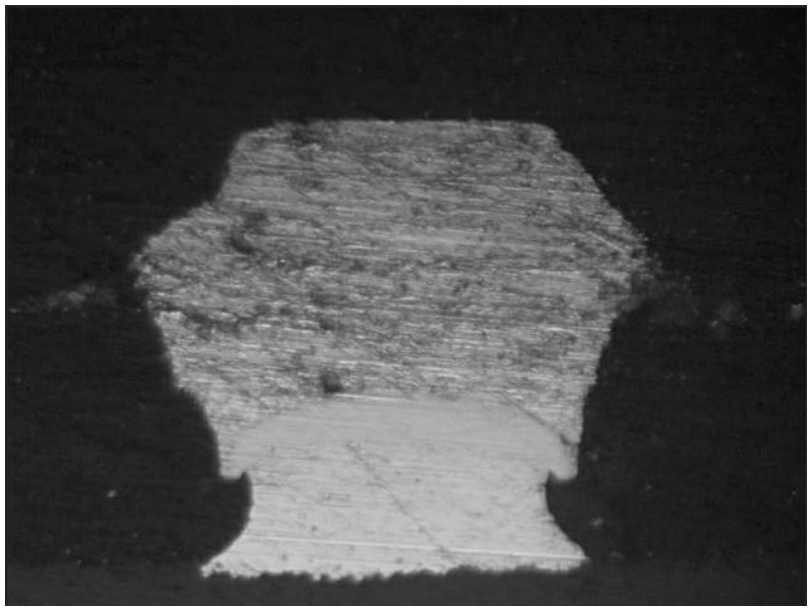

図14：平坦化されたビードの断面。

1.8　プロービング性能

さまざまな形状（41種類）のビードのDCコンタクト・インピーダンスを、非常に確度の高い4端子測定を使ってチェックしました。各ビードの接触抵抗を10回続けて測定した結果、すべてのビードの平均抵抗値は11.89 mΩで、標準偏差は1.02 mΩでした。これは、標準的なプローブの接触抵抗と非常によく似ています。最初から最後まで一貫していて、測定値に変化はほとんど見られませんでした。これらのビードは前月に洗浄処理なしで製造されたために、ある程度の酸化が発生するだけの時間ありましたが、特別な処理はしませんでした。

調査すべき問題の１つは、はんだビードが空気にさらされた場合に形成される酸化被膜が、接触抵抗が変化する原因かどうかでした。

実験からは、新しいボードが平坦化された場合、酸化物が剥離して、ビードにクリーンな表面が現われるため、優れた接触特性が得られることがわかりました。

以前に平坦化されたビード上の酸化被膜は、テスト・プローブの「ふき取り」動作によって除去されます。このふき取り動作は、一般にプローブの「ポインティング・エラー」に起因しています。頭の尖ったプローブを使って従来のパッドに接続する場合は、これが問題の原因となる可能性があります。しかし、平頭のプローブを使ってビード・プローブを接続する場合は、ビードの上面をふき取ったり、「擦り減らす」ことにより、この効果が有利に働きます。この場合も、クリーンな表面が現われるので、優れた接触抵抗が得られます。

Intel CorporationのMadhavan Doraiswamy氏とJames Grealish氏によって、追加のテストが行われ、2006年のIEEE ITC (International Test Conference) で概要が発表されました [Intel2006]。また、接触抵抗が新しいボード、6ヶ月後のボード、2年後のボードでどのように変化するかを確認するために、広範囲に及ぶ実験が行われました。その結果によると、これらのボードのいずれでも、接触抵抗の大幅な増加は認められませんでした。さらに、新しいボードについては、何度かテストが実行された後、300時間にわたって焼成が行われ（2年の経年変化をシミュレートするため）、何度か再テストが行われました。統計上は、接触抵抗に大きな違いはありませんでした。

1.9　高周波特性

高い伝送周波数では、ビード・プローブの性能にどのような影響があるでしょうか? 詳細については、Parker氏の論文を参照してください [Park04]。要約すれば、他の理想的な伝送ラインでは集中定数キャパシタンスが約10 fFというのが、ビードのモデルであることが判明しています。このキャパシタンス値は非常に小さく、ほとんどのデザインでは無視できます。通常、トレース上のビアは、100 fFのキャパシタンス、不連続部は約5×20 milのビード・プローブの10倍としてモデルされます。

Doraiswamy氏とGrealish氏による広範囲に及ぶ実験 [Intel2006] でも、20 GHzまでのトレース性能へのはんだビードの目に見える影響はないことが確認されています。

1.10　ビード・プローブに関する結論

ビード・プローブは、PCBデザインの高速電気特性にはほとんど影響しない、新しいICTプロービング手法で、一般的なPCB製造手法を用いて形成することができます。またICTフィクスチャも、現在の機械的な許容範囲内で構築でき、既製のプローブでもビードと確実に接触させることができます。プローブの抵抗と接触の信頼性は、従来のプローブとほぼ同じです。このようにトレースのレイアウトに影響を与えることなく、テストパッドをレイアウトできるので、デザイン・サイクルが簡素化され、ICTのカバレージも向上します。

2. ビード・プローブの製品への適用

ビード・プローブを最新のPCBに追加して、ビード・プローブの理論上の利点を実環境で活かすことができるかを確認することができました。今日のPCBデザインの多くに、ボードが用いられています。今回の製品には、ギガビット・データ・バスは搭載されていませんでしたが、極めて実装密度の高いデザインで、従来のICTのプロービングではプロービング･ポイントは限られていました。その他の問題として、短期間での製品化が強く求められていることや、製造を外部に委託する戦略を採っていることから、ICTが不可能だとICTのカバレージが減少するだけでなく、製品の立ち上げの遅れ、保証コストの増大、廃棄の増加、別のテスト手法に要するコストなどの、それに伴う悪影響が大きな懸念でした。

注意事項を以下に説明しますが、次の3つの分野に焦点を当てています：PCBのCADレイアウト、製造上の問題点、ICTテスト・ポイントの選択。

2.1　ビード・プローブのCADに関する問題点

ビード・プローブは、表面やブラインド・ビアなどのように、CADライブラリのエレメントとして作成され、ボードの上面または底面に配置されます。あらゆる形状やサイズが揃っているSMT形状とは異なり、ビアはこれまでずっと円形でした。したがって、SMT形状を配置するのとは異なり、従来CADデータに組み込む際にビアを回転させる必要はまったくありませんでした。このため、最も一般的なCADツールでも、配置されているビアを回転させることはできません。

ビード・プローブのSMTパッド部分は長円形なので、ビード・プローブを配置するトレースの方向に合わせて回転させる必要があります。これにより、信号帯域幅、キャパシタンス、伝送ライン・インピーダンスに対する誘電効果が最小限に抑えられます。このため、上面または底面のトレースの方向ごとに、個別のビード・プローブ・ビアを作成する必要があります。我々の場合は、垂直と水平の両方のビード・プローブ・ビアを作成しました。45度と135度の角度のビード・プローブをトレースの角度と一致させる必要があるとも考えられますが、我々のデザインには不要であることがわかりました。

個々のビード・プローブ・ビアは、0.005インチ（約0.127 mm）幅のトレースに配置するように設計されています。これは、それより幅の広いトレースの場合は、はんだマスクの開口幅がこれら2つのアプリケーションに対しては異なるためです。結局、我々のデザインでは、トレース幅の広いビード・プローブはまったく使用しませんでした。

また、ビード・プローブ・ビアの形状の作成時に、使用するプローブの直径と、ターゲット円を追加するのが有効です。これら2つの数の組み合わせにより、プロービング中にプローブ・ビードが「動き回る」可能性のある範囲がわかります。直径0.050 インチ(約1.27 mm)と0.080インチ(約2.032 mm)の円を使って、それぞれ直径0.035インチ(約0.889 mm)または0.055インチ(約1.39 7 mm)のフラット・ヘッド・プローブが動き回る可能性のある領域を表しました。次に、これらの円を使って、円内に同じ面を持つパーツ本体またはリードがないことを目で見て確認します。そうしないと、プローブが小型のビード・プローブと接触する前に、背の高いパーツやリード・フレームにぶつかってしまう可能性があります。CADテストポイント・アナライザ・ツールを改良することにより、このステップのチェックを自動化することができるはずです。

我々のアプリケーションでは、ビード・プローブはすべて、ボードの底面のトレースに配置されました。ただし、PCBの上面にもビード・プローブが必要な場合は、PCBレイアウトへのブラインド・ビアの追加を必要とするビア・レイヤのマッピング・ルールを簡素化するために、上面へのビード・プローブ・セットを推奨します。

我々のPCBデザインは、Menter Graphics社のBoardstationバージョンEN2002を使用して実装されました。このCADツールでは、TERMINAL_BURIED_VIA_DEFINITION プロパティを使用して、ビード・プローブ・ビアの形状をデザインする必要があります。また、Setup Via Rulesメニューで、必要に応じてマッピングがボードの一番上のレイヤに行ったり一番下のレイヤに行ったりする、Menter社が「ベリード」ビアと呼ぶものと同じように、ビアが指定されていることを確認する必要があります。Mentor社がベリード・ビアのレイヤ・マッピングを表すのに使用している読み取り難いアンダースコア (“_”) 文字は、物理層の名前が長い場合にはなかなか気が付きません。

ビード・プローブ・ビアを作成するための最後のステップは、ダイヤモンド形のはんだステンシルの開口部を追加して、各ビード・プローブがはんだペースト工程中に適切な量のはんだを正確に受け取り、SMTオーブンで適切にリフローされるようにすることです。

プリント基板アセンブリ (PCA) のほとんどの委託製造業者 (CM) が、各SMTピンに溶着する実際のはんだペーストの量を変更し、正確に制御して、はんだ接合の歩留まりを最大限に高めたいと考えているという事実から、適切なはんだステンシルの開口部を指定することは困難です。すなわち、ビード・プローブ・ステンシルの開口部の大きさが変更される可能性があります。

以前は、はんだステンシルのGerberデータに、AgilentのCADパーツ・ライブラリから抽出したとおりに、はんだステンシルの開口部の大きさを指定していました。しかし、CMはそうではなく、Agilentのライブラリのはんだステンシルの開口部に関する情報を破棄しないで、各SMTパッドのアウトラインをフルに示したはんだステンシルのGerberデータを作成することを求めていました。こうすることにより、CMは、後でデータを編集し、独自のアルゴリズムを利用して、実際のステンシルの開口部をプロセスの歩留まりに合った大きさに縮小することができます。ビード・プローブ・ビアの小さな長円形のSMTパッド層は、我々のビード・プローブに必要な大きさのダイヤモンド形のはんだステンシルの開口部とはまったく異なっていたため、この手法はビード・プローブには有効ではありませんでした。

その後、「ユーザ定義」のレイヤをビード・プローブ・ビアに追加した後で(ダイヤモンド形のはんだステンシルの開口部を反映するため)、ユーザ定義のレイヤをはんだステンシルのGerberデータに追加することにより、この問題に対応しようとしました。ダイヤモンド形のはんだステンシルの開口部の大きさの計算は、はんだステンシルの厚さに関する仮定に依存します。CMとともに、0.005インチ(約0.127 mm)の厚さのステンシルが許容できることを確認したので、プロセス要件書にその厚さを明記しました。

ビード・プローブの使用は、RF性能の向上ではなく、プロービング密度の向上を目的としていました。ビード・プローブを使用するのは今回が初めてだったので、ノードの約90 %に、通常のテスト・ビアを使用しました。通常のテスト・ビアを適用できなかった場合に限って、ビード・プローブを追加しました。つまり、ビード・プローブのいくつかは、大きなキープアウト円を超えて、最も近いコンポーネントまたはリード・フレームに達しました。最終的に、PCBの中央部分には3600個のネットが実装されました(ボードには全部で6000個のネットがあります)。3600個のネットのうちの360個のネットは、ビード・プローブを使用しました。

図15は、基板のイメージを示したものです。20.5インチ×16.8インチ(約52.07 cm×約42.67 cm)のサイズで、6000個のコンポーネントと6000個のネットが実装されています。赤い長方形で示された回路の中央ブロックだけに、ビード・プローブが必要でした。他の領域はすべて、従来のテスト・ビアを使って、100 %テスト・ポイントすることができました。

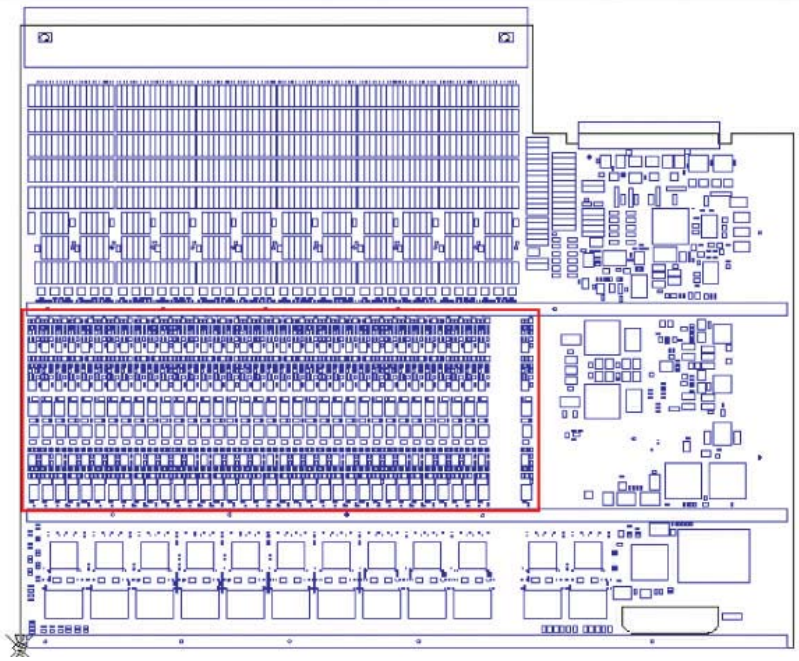

図15：ビード・プローブを設置した基板

図16は、「代表的な」ビード・プローブのイメージを示したものです。長円形の信号層、長円形のはんだマスク・キープアウト、ダイヤモンド形のはんだステンシルの開口部、プローブの位置を示す2つの基準円に注目してください。グリッドは0.002インチ（約0.0508 mm）間隔です。

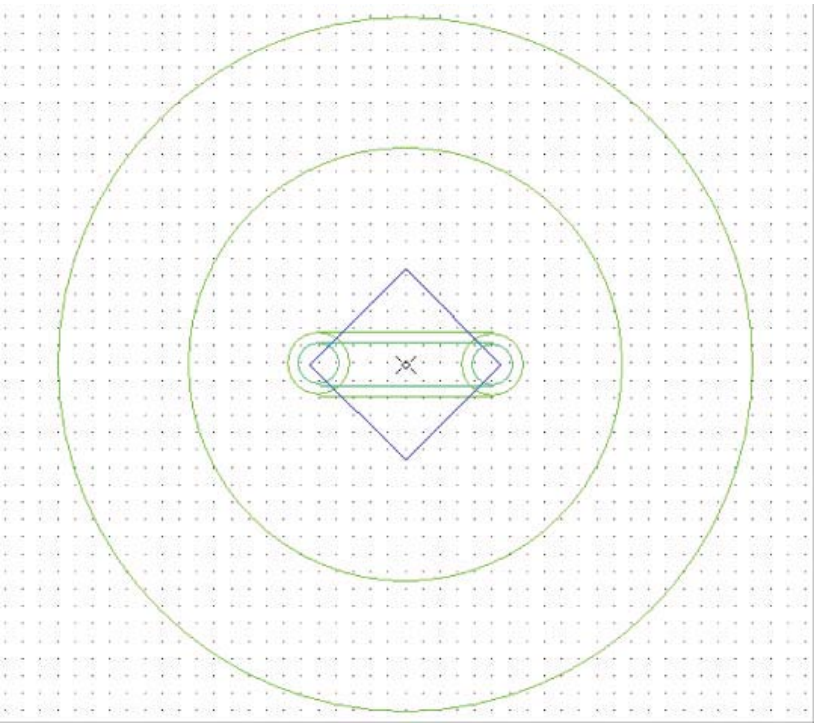

図16：　代表的なビード・プローブ

図17は、PCBの底面上の0.005インチ（約0.127 mm）のトレースに追加された2つのビード・プローブの代表的なイメージを示したものです。

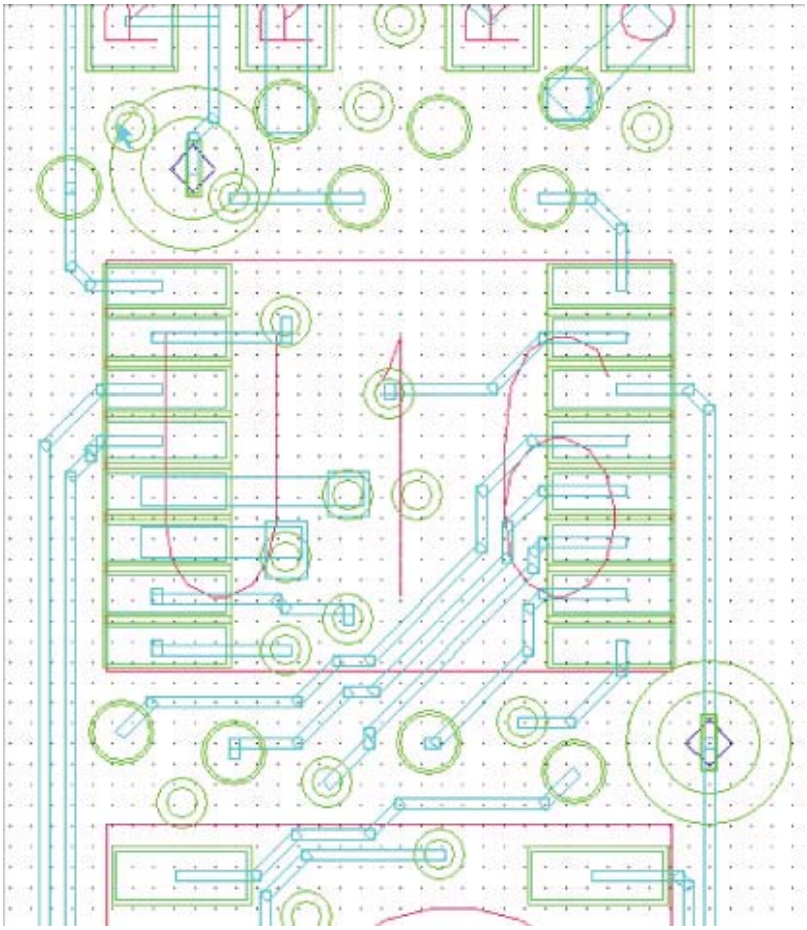

図17：　2つのビード・プローブ

ビード・プローブ・ビア用のMentor Graphics社のASCII形状ファイルは、付録に掲載されています。

2.2　ビード・プローブの製造上の問題点

ビード・プローブのダイヤモンド形のはんだステンシルの開口部が、CMに提供したはんだステンシルのGerberデータから抜けていることに気が付きませんでした。プロトタイプを作成してみて、ブラインド・ビアに関しては、Mentor社のBoardStationではユーザ定義の層をGerberデータにマッピングすることはできないということを、知りました。結果として、それらのプロトタイプのビード・プローブはどれも、ステンシル作業中にはんだをつけることができませんでした。ビード・プローブ上にはんだがないので、ビード・プローブを接続することはできませんでした。

次のプロトタイプを作成するための対策として、ダイヤモンド形のはんだステンシルの開口部を未使用のGLUE_MASK_2層（ブラインド・ビアに関しては正しくマッピングする）に移動し、GLUE_MASK_2層をアートワーク・オーダに追加し、はんだステンシル・データを作成するために、Gerberデータを正確に作成しました。つまり、すべてのSMTパーツがSMTパッド・サイズとまったく同じGerberデータのはんだステンシルの開口部を、すべてのビード・プローブが適切な大きさのダイヤモンド形開口部のはんだステンシルの開口部を、それぞれ持っていました。これらのダイヤモンド形の開口部の大きさを変更しないことの重要性を強調するために、プロセス要件書にコメントを追加しました。プロセス要件書は、Gerberデータと一緒にCMに渡して、ダイヤモンドの大きさを変更しないようにCMに指示します。

不運にも、第2弾のプロトタイプも、到着した時にはすべてのビード・プローブからはんだがなくなっていました。今回は、Gerberデータを正確に作成しました。また、CMは、ビード・プローブのはんだステンシルの開口部の大きさを編集することを確実にやめました。しかし、ステンシル・メーカは、はんだステンシルのGerberデータを調査している間に、ダイヤモンド形の開口部が間違った基準開口部に違いないと決めつけて、何も言わずに、ステンシル・データから手作業で削除していました。

2.3　ICTテストパッドの選択

現時点では、ビード・プローブのはんだがないプロトタイプが40個あります。また、ICTフィクスチャの作成も開始しました。結局、ICTフィクスチャ／テストの開発者は、360個のビード・プローブの中から74個だけを何気なく選択して、ICTテスト・プローブを受け取りました。

ICTフィクスチャの開発と並行して、はんだがビード・プローブに手作業で追加されるように、プロトタイプの1つをリワークしています。このプロセスの再現性、さらにははんだをビード・プローブに多からず少なからず付着できるかについては、非常に憂慮しています。これを実現するための最も再現性の高い方法は、シリンジを使ってビード・プローブにはんだペーストを付加し、低速のホット・エア・ペンを使ってはんだをリフローする方法だと思われます。（高速のホット・エア・ペンでは、リフローされたはんだがPCB内で流れ出て、はんだショートが発生する可能性があります）。

現時点では、ICTテスト開発の目的でプロトタイプを既知の良好なボードとして使用する場合は、手作業でリワークしたプロトタイプでは、ビード・プローブにはんだが流れるかどうかは確かではありません。この新しいプロービング手法の導入を慎重に進めれば、ビード・プローブのいずれかを接続できなかった場合でも、1.2 %のカバレージ・ロスで済みます（74個のビード・プローブ・ポイントの損失／6000個のネット総数）。

3. まとめ：

実環境下でのビード・ボードの適用は始まったばかりです。上の例では、別のプロトタイプがアセンブル段階にあります。これらのプロトタイプでは、未完成のステンシルの開口部が補正されるはずです。本書が発表されるときまでには、ビード・プローブの効果の統計解析が実行され、入手できるようになっているはずです。

特に、ビード・プローブは、既存のICTテスト手法の代替として用いることができます。接触抵抗は従来のICTプローブとほぼ同じ、20 mΩ未満です。最後に、ビード・プローブは、以下のような目的に使用することができるはずです。

- 電源、入力、ガードの経路抵抗が低いことが求められる、正確なアンパワード・アナログ・テスト。
- 今日の低電圧ロジック・ファミリのデジタル・テスト。これは、低い経路抵抗では、バックドライビング時のIRによる電圧降下が最小限に抑えられるからです。
- I^2Rによる発熱なしに、DUTに電流を送る場合。

将来的には、ビード・プローブは、高速の電気的な透明性と容易さから、高速バスに組み込むことができますが、そのためには、新しいICT手法を開発して、これまではアクセスが困難だったネットをカバーする必要があります。

4. 参考資料：

[Park04]　『A New Probing Technique for High-Speed/High-Density Printed Circuit
Boards』、K. P. Parker、Proceedings、International Test Conference、365～374ページ、Charlotte NC、2004年10月

[Bull87]　『Designing SMT Boards for In-Circuit Testability』、M. Bullock、Proceedings、International Test Conference、606～613ページ、Washington DC、1987年9月

[Intel2006]　『Implementation of Solder-bead Probing in High Volume Manufacturing』、
Madhavan Doraiswamy and James Grealish、Proceedings、IEEE International Test Conference、2006年

5. 付録：

4個の底面ビード・プローブ用のMentor Graphics社のASCII形状ファイル：

```
// file ： /users/drv_rcv_4chan/design_geom/bp_horiz_bot
// date ： Sunday November 28, 2004; 11：48：26
$$lock_windows(@on);
$$create_via( "bp_horiz_bot" );
$$page(0.0, 0.0, 0.03, @inches, 0.0, 0.0, [0.0,0.0,' VI$bp_horiz_bot' ] );
$$point_mode(@vertex);
$$attribute( "TERMINAL_BURIED_VIA_DEFINITION" , "" );
$$circle( "DAM_2" , 0.0, 0.0, 0.05, 0.0);
$$circle( "DAM_2" , 0.0, 0.0, 0.08, 0.0);
$$template_line_style( @Solid );
$$path( "PAD_2" , 0.005, , [0.01, 0.0, -0.01, 0.0] );
$$path( "SOLDER_MASK_2" , 0.0075, , [0.01, 0.0, -0.01, 0.0] );
$$polygon( "GLUE_MASK_2" , , [0.0, 0.011, 0.011, 0.0, 0.0, -0.011, -0.011, 0.0] );

// file ： /users/drv_rcv_4chan/design_geom/bp_horiz_bot_wide
// date ： Sunday November 28, 2004; 11：48：26
$$lock_windows(@on);
$$create_via( "bp_horiz_bot_wide" );
$$page(0.0, 0.0, 0.03, @inches, 0.0, 0.0, [0.0,0.0,' VI$bp_horiz_bot_wide' ] );
$$point_mode(@vertex);
$$attribute( "TERMINAL_BURIED_VIA_DEFINITION" , "" );
$$circle( "DAM_2" , 0.0, 0.0, 0.05, 0.0);
$$circle( "DAM_2" , 0.0, 0.0, 0.08, 0.0);
$$template_line_style( @Solid );
$$path( "PAD_2" , 0.005, , [0.01125, 0.0, -0.01125, 0.0] );
$$path( "SOLDER_MASK_2" , 0.005, , [0.01125, 0.0, -0.01125, 0.0] );
$$polygon( "GLUE_MASK_2" , , [0.011, 0.0, 0.0, -0.011, -0.011, 0.0, 0.0, 0.011] );

// file ： /users/drv_rcv_4chan/design_geom/bp_vert_bot
// date ： Sunday November 28, 2004; 11：48：26
$$lock_windows(@on);
$$create_via( "bp_vert_bot" );
$$page(0.0, 0.0, 0.03, @inches, 0.0, 0.0, [0.0,0.0,' VI$bp_vert_bot' ] );
$$point_mode(@vertex);
$$attribute( "TERMINAL_BURIED_VIA_DEFINITION" , "" );
$$circle( "DAM_2" , 0.0, 0.0, 0.05, 0.0);
$$circle( "DAM_2" , 0.0, 0.0, 0.08, 0.0);
$$template_line_style( @Solid );
$$path( "PAD_2" , 0.005, , [0.0, 0.01, 0.0, -0.01] );
$$path( "SOLDER_MASK_2" , 0.0075, , [0.0, 0.01, 0.0, -0.01] );
$$polygon( "GLUE_MASK_2" , , [0.0, 0.011, 0.011, 0.0, 0.0, -0.011, -0.011, 0.0] );

// file ： /users/drv_rcv_4chan/design_geom/bp_vert_bot_wide
// date ： Sunday November 28, 2004; 11：48：26
$$lock_windows(@on);
$$create_via( "bp_vert_bot_wide" );
$$page(0.0, 0.0, 0.03, @inches, 0.0, 0.0, [0.0,0.0,' VI$bp_vert_bot_wide' ] );
$$point_mode(@vertex);
$$template_line_style( @Solid );
$$path( "PAD_2" , 0.005, , [0.0, 0.01125, 0.0, -0.01125] );
$$attribute( "TERMINAL_BURIED_VIA_DEFINITION" , "" );
$$circle( "DAM_2" , 0.0, 0.0, 0.05, 0.0);
$$circle( "DAM_2" , 0.0, 0.0, 0.08, 0.0);
$$path( "SOLDER_MASK_2" , 0.005, , [0.0, 0.01125, 0.0, -0.01125] );
$$polygon( "GLUE_MASK_2" , , [0.0, 0.011, 0.011, 0.0, 0.0, -0.011, -0.011, 0.0] );
```

メモとしてお使いください

電子計測UPDATE

www.agilent.co.jp/find/emailupdates-Japan
Agilentからの最新情報を記載した電子メールを無料でお送りします。

Remove all doubt

アジレント･テクノロジーでは、柔軟性の高い高品質な校正サービスと、お客様のニーズに応じた修理サービスを提供することで、お使いの測定機器を最高標準に保つお手伝いをしています。お預かりした機器をお約束どおりのパフォーマンスにすることはもちろん、そのサービスをお約束した期日までに確実にお届けします。熟練した技術者、最新の校正試験プログラム、自動化された故障診断、純正部品によるサポートなど、アジレント･テクノロジーの校正･修理サービスは、いつも安心で信頼できる測定結果をお客様に提供します。

また、お客様それぞれの技術的なご要望やビジネスのご要望に応じて、
・アプリケーション･サポート
・システム･インテグレーション
・導入時のスタート･アップ･サービス
・教育サービス
など、専門的なテストおよび測定サービスも提供しております。

世界各地の経験豊富なアジレント･テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、測定器のメインテナンスをサポートいたします。詳しくは：

www.agilent.co.jp/find/removealldoubt

アジレント･テクノロジー株式会社

本社〒192-8510 東京都八王子市高倉町9-1

計測お客様窓口

受付時間 9:00-19:00（土･日･祭日を除く）
FAX、E-mail、Webは24時間受け付けています。

TEL ■■ 0120-421-345
(042-656-7832)
FAX ■■ 0120-421-678
(042-656-7840)
Email contact_japan@agilent.com

電子計測ホームページ
www.agilent.co.jp

● 記載事項は変更になる場合があります。
ご発注の際はご確認ください。

Copyright 2007
アジレント・テクノロジー株式会社

Agilent Technologies

July 11, 2007
5989-5748JAJP
0000-00DEP