Agilent Medalist VTEP v2.0（VTEP、iVTEP、NPM）によるテスト・カバレージの拡大

White Paper

Rev. 1.0

February 7, 2007

はじめに …… 2
テスト手法 …… 2
スループット …… 3
VTEPフィクスチャに関する注意事項 …… 4
VTEPフィクスチャに関するその他の注意事項 …… 7
AutoDebug（自動デバッグ機能） …… 8
その他のマクロ …… 11
出力フォーマット …… 12
ソフトウェア・リリース7.0とVTEP v2.0 …… 12
その他 …… 19

Agilent Technologies

はじめに

この記事では、Agilent Technologiesの新しいベクターレス・テスト手法、Medalist VTEP v2.0を最大限に活用するための方法について説明します。

VTEP v2.0は、オリジナルのVTEPをコアとして、VTEPの性能を拡張したiVTEPとNPM（ネットワーク・パラメータ測定）を統合した、ベクターレス・テスト・ソリューション・スイートです。すなわち、VTEP v2.0テスト・スイートには以下が含まれています。

- VTEP*
- iVTEP
- ネットワーク・パラメータ測定

VTEPには、TestJet測定のノイズ特性、安定度、確度、再現性を高める、新しいハードウェア技術とソフトウェア技術が組み合わされています。このためVTEPを使用したAgilentボード・テスト・システムでは、オリジナルのTestJetよりはるかに小さな値を高い信頼性で読み取ることができます。これにより、以前TestJetでは実行できなかったデバイスやコネクタ上のピンのテストが可能になります。

この新しい手法をさらに進化させたのが、iVTEPによるVTEPの測定機能の拡張です。この拡張は、05.41ソフトウェア・アップグレードで自動的に有効になります。iVTEPを使用すると、既存のVTEPハードウェアを使用して集積回路（IC）でより高確度の測定が行えます。測定は、VTEPやTestJetほどリードフレーム形状に依存しません。AutoDebugは、iVTEP機能を自動的にパーピン・ベースで追加するようにアップデートされています。テスト開発、ハードウェア、フィクスチャは、VTEPの場合と同じです。

VTEPでは、NPM（ネットワーク・パラメータ測定）技術を搭載しています。NPMは、7.0ソフトウェア・アップグレードで自動的に有効になります。NPMを使用すると、コネクタやソケットの電源ピンとグランド・ピンのオープンを検出することができます。この機能がICTプラットフォームで使用可能になったのは、これが初めてです。基板の信号伝送速度が上がると、コネクタとソケットの電源ピン／グランド・ピンでのオープンの検出が重要になります。NPM機能は、AutoDebugに追加されています。ハードウェアとフィクスチャは、VTEPと同じです。NPMでは、テスト開発ステップの１つの追加で、既存のフィクスチャ／プログラム内、あるいは新規開発のフィクスチャ／プログラム内のコネクタにテストを追加できます。

エンドユーザにとっては、VTEP v2.0を使用すると、集積回路、および高速化するコネクタやソケット上でより多くのピンをカバーできるという優れた利点があります。

テスト手法

VTEP手法は、TestJetを技術的に拡張したものです。テスト中に測定されるキャパシタンス値（容量測定値）に影響を与える要因は複数あります。そうした要因の1つが、ノイズがある状態での測定の再現性です。

VTEPでは、測定値を大幅に向上させるために、高度な測定ハードウェアと改善されたソフトウェア・アルゴリズムによりこの問題に対処しています。

その結果、VTEPのノイズ・シグナチュア（測定の標準偏差）は、業界の他のベクターレス・テスト・ソリューションよりも優れているTestJetの、さらに3～7倍優れた値を示します。

この安定した測定により、1桁fFまでの測定が可能になりました。デバイス・パッケージとコネクタの形状が小さくなると、ピンからセンサ・プレートまでのキャパシタンスの値も減少します。VTEPは、このような小さなキャパシタンス値を高い信頼性で測定できます。

iVTEPは新たな技術的な飛躍となります。はじめて、キャパシタンス測定においてリードフレームの影響を受けずに安定した測定ができるようになりました。iVTEPは、リードフレームがほとんどないか、まったくないデバイス(マイクロBGA、フリップチップなど)と、ヒートスプレッダおよび接地されていないヒートシンクの下にあるデバイスでのみ使用できます。コネクタでは使用できません。そのノイズ・シグナチュアは、TestJetより3～7倍優れているVTEPよりも、最大で7倍優れています。iVTEPは、Agilent独自の特許出願中の手法です。

注記：*VTEPを使用すると、値を5 fFまで有効に測定でき、オープン結合と良好な結合を明確に区別できます。さらにiVTEPを使用すると、オープン結合が0 fF付近まで測定されるので、より正確で安定した測定を実現できます。*

もう1つの新たな飛躍が、NPMです。はじめて、コネクタとソケットの電源ピン／グランド・ピンのオープンを検出できるようになりました。NPMは、コネクタとソケットでのみ使用できます。NPMでは、ターゲット・コネクタの回路パラメータ(直列抵抗、直列および結合インダクタンス、結合キャパシタンス)を測定して、電源ピンとグランド・ピンのオープンを決定します。回路基板のデータ・レートが上がるにつれて、このカバレージが重要性を増しています。これらの回路パラメータは、7.0ソフトウェア・リリースの一部としてアップデートされたライブラリ・ディレクトリのコネクタ・モデルに記述されています。

スループット

信頼できる1桁fFキャパシタンス測定を実行するには時間がかかります。すべてのピンで、このレベルの安定度が必要なわけではありません。VTEPは、拡張モード(低速、最高性能)と高速モードの両方をサポートしています。

高速モードの速度は、高速モード(throughput adjustment 1)のTestJetと同じですが、測定の安定度は、低速モード(throughput adjustment 0)のTestJetと同じです。スループットを高めるために、VTEPは、動作時に測定を自動的に評価します。VTEPは、高速モードを使用してできるだけ多くの測定を行いますが、必要に応じて拡張モードにシフトします。この判断は、吸上げ値とリミットまでの近さに基づいたものです。すなわち、リミットがテストのスループットに影響を与える可能性があります。したがって、スループットを最大にする方法を使用するAutoDebug機能にリミットの設定を任せることを推奨します。

使用するモードを決定するためのルールは、複雑です。やむを得ずしきい値を手動で設定する必要がある場合は、しきい値を、測定の平均値から15 fFを超える値に設定してください。これにより、高速／拡張モードの交差ポイントは、ほぼ15～20 fFになります。

iVTEP測定は、拡張モードのVTEPのピンより2倍以上長くかかります。iVTEP機能が、「throughput adjustment 2」フラグによりパーピン、パーデバイス、パーテスト・ベースで設定されます。

このフラグは、AutoDebug機能により自動的に追加されます。このフラグがすべてのオプションで一番遅いので（しかし最も正確です)、どのピンでそれが必要かをAutoDebug機能に決定させるのが最良です。

ターゲット・コネクタの電源ピンとグランド・ピンのNPM測定は、240ピン/sで実行されます。

スループットを評価する場合、テスト時間は、デバイスあたり約10 msに、以下を加えた値となります。

- 高速モード・ピン(>20fF)：500ピン/s
- 拡張モード・ ピン(<20fF、NPM電源ピンとグランド・ピン)：240ピン/s

VTEPのフィクスチャに関する注意事項

増幅器（アンプ・ボード）の選択

TestJetを使用する場合と同様に、センサ・プレートに接続するアンプ・ボードには2つのサイズがあります。測定が向上するのは、標準サイズのVTEPアンプ・ボードだけです。より小型のアンプ（極性チェック・アンプとも呼ぶ）には、追加回路のためのスペースがありません。このため、これらの小型アンプの性能は、オリジナルのTestJetと同じです。フィクスチャを作成するときには、できるだけ標準サイズのアンプ・ボードを使用してください。下のセンサ・プレートのカスタマイズに関するセクションを参照してください。

マルチプレクサ・カードの制限

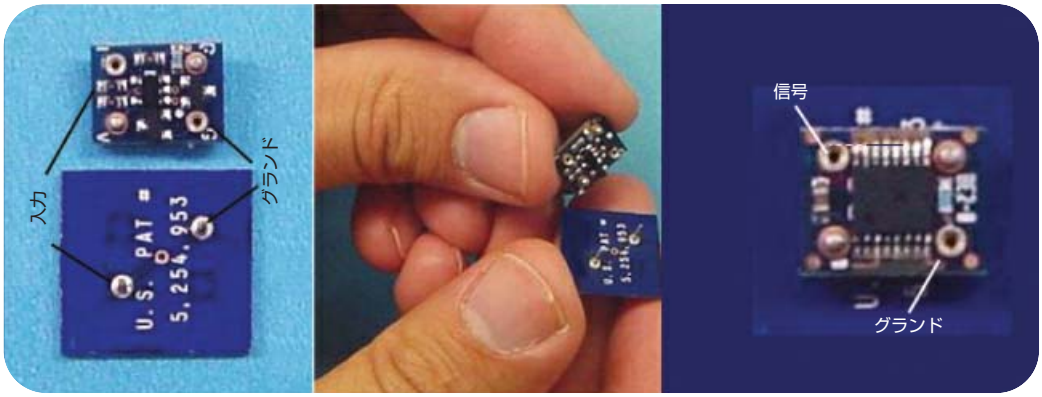
VTEPマルチプレクサ・カード（両方のバージョン）は、オリジナルのTestJetマルチプレクサ・カードよりも多くの電流を引き込みます。旧いマルチプレクサ・カードは1個のモジュールに15枚まで接続できましたが、VTEPでは、1個のモジュールへの接続が6カードに制限されます。さらにマルチプレクサ・カードが必要な場合は、追加のマルチプレクサ・カードを他のモジュールに追加できます。これにより、テストできるデバイスの最大数は、4モジュール×6マルチプレクサ・カード×64となります。

デバイス／マルチプレクサ = 1536デバイス

アセンブリ

センサ・プレートとアンプ・ボードの接続は、TestJetの場合とほぼ同じです。アンプ・ボードにシルクスクリーンでマークが付けられているので、位置決めが容易です。図1では、センサ・プレートは、入力ピンが左に、グランド・ピンが右に来るように置かれています。入力ピンから中央ビアまでトレースがあります。アンプ・ボードの図に示された面を、センサ・プレートに重ねます。右下コーナに"G"が見えます。これを、センサ・プレート上のグランド・ピンと合わせます。左上コーナの"I"を、センサ・プレート上の入力ピンと合わせます。

図1. 以下の写真に、2つのボードの正しい組み立て方を示します。この写真どおりにマルチプレクサに接続すると、グランドが右、信号が左になります。



センサ・プレートのサイズ

センサ・プレートに関するTestJetのガイドラインでは、デバイスの外形とほぼ同じ大きさにプレートを加工するようにフィクスチャ・ベンダに指示していました。これにより、センサ・プレートで、容量結合用に最大の表面積を確保できます。しかし、現在のボードでは、多くのBGAがプローブ、バイパス・コンデンサ、その他のコンポーネントに接近していて、テスト中にセンサ・プレートに誤って結合する可能性があります。VTEPの拡張測定機能を使用すると、センサ・プレートを小型化できるので、テスト品質を犠牲にせずにこの「フリンジング」効果を減少できます。

カスタム・センサ・プレートは、小型のコネクタやその他のデバイスに適合するように、両面銅被覆材料から加工できます。下の図と写真に、小型コネクタに適合し、しかもプレートにアンプ・ボードを搭載するための十分なスペースがあるL型センサ・プレートを示します。

カスタム・センサ・プレートを作成する場合は、センサ・プレートの上面をアンプ・プローブのグランド・ピンに接続します。センサ・プレートの底面をアンプ・プローブの信号ピンに接続します。これらの接続を行うには、標準センサ・プレートからはんだが取り除かれたピンを使用します。

信号がグランドに短絡しないように、センサ・プレートの上面の信号ピンの周囲にクリアランス・ホールを設けます。はんだを使用して、同様の面をすべて電気的に接続します。

最後に、アンプ・ボードに損傷を与えないように、必要に応じてセンサ・プレートに刻み目と穿孔加工することができます。

センサ・プレートのカスタマイズ

図2. センサ・プレートのカスタマイズ

警告：*アンプ・ボードは、常にセンサ・プレートに直接取り付ける必要があります。この間に配線を挿入しないでください。挿入すると、測定に大きなノイズが混入する可能性があります。*

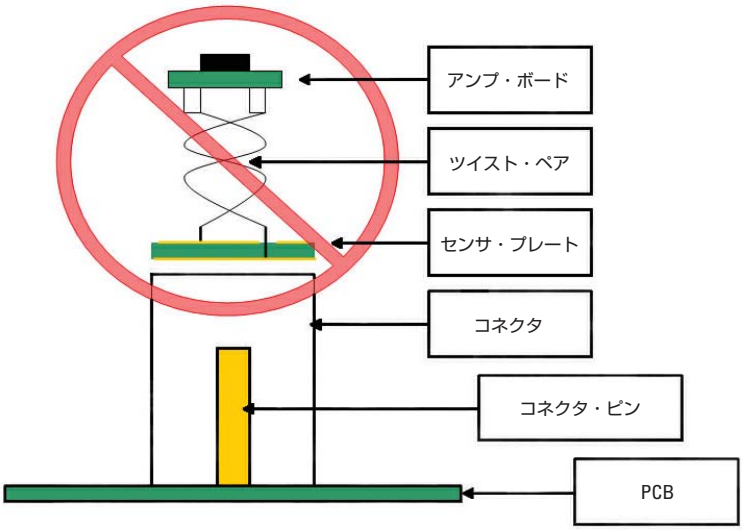
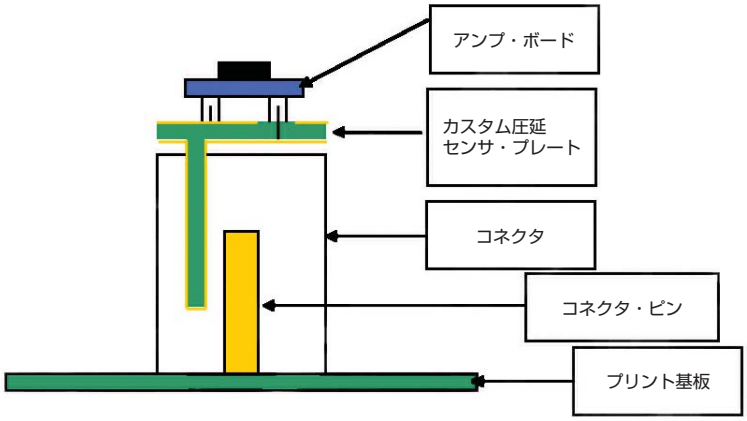


図3. センサ・プレートとコネクタ・ピン間には優れた容量結合があります。さらに重要な点として、センサ・プレートとアンプ・ボード間に測定ノイズが加わるツイスト・ペア配線がありません。



カスタム・センサ・プレートは、両面銅被覆材料から加工できます。上の図と写真は、小型コネクタに使用でき、プレートにアンプ・ボードを搭載するための十分なスペースがあるL型センサ・プレートです。

カスタム・センサ・プレートを作成する場合は、センサ・プレートの上面をアンプ・プローブのグランド・ピンに接続し、センサ・プレートの底面をアンプ・プローブの信号ピンに接続します。これらの接続を行うには、標準センサ・プレートからはんだが取り除かれたピンを使用します。信号がグランドに短絡しないように、センサ・プレートの上面の信号ピンの周囲にクリアランス・ホールを設けます。はんだを使用して、同様の面をすべて電気的に接続します。最後に、アンプ・ボードに損傷を与えないように、必要に応じてセンサ・プレートに刻み目と穿孔加工することができます。

VTEPのパーツ番号

フィクスチャ部品	TestJetのパーツ番号	VTEPのパーツ番号
マルチプレクサ・カード	E3849A	N4300A
マルチプレクサ＋基準	E3969A	N4307A
プローブ（アンプ・ボード）	E3850A / E3960A	N4301A / N4313A
コネクタ・センサ・プレート	E3964A	N4306A
1.2平方インチ(約7.6 平方cm)センサ・プレート	E3853A	N4302A
2.5平方インチ（約23 平方cm）センサ・プレート	E3854A	N4303A
小型プローブ（小型アンプ・ボード）	E3845A / E3847A	N4311A / N4312A
B-C極性チェック・センサ・プレート	E3891A	
D極性チェック・センサ・プレート	E3892A	

VTEPフィクスチャに関するその他の注意事項

VTEPは、TestJetと異なるハードウェアを使用します。機械的には同じですが、フィクスチャ作成時の電気的な特性に違いがあります。以下の要件を遵守しないと、製造工程のVTEP測定とiVTEP測定が不安定になる可能性があります。

- VTEPマルチプレクサとTestJetマルチプレクサを同じフィクスチャに混在させない。
- VTEPプローブとTestJetプローブを同じフィクスチャに混在させない。

VTEPでは、マルチプレクサとテスタの接続が常に保持されている必要があります。また、VTEPが正しく動作するには、VTEPセンサ・プレートからマルチプレクサまでの配線経路の抵抗を最小限に抑えることが重要です。

常に以下を行ってください。

- アンプ・ボードをハンガ・プローブにはんだ付けする。
- VTEP部品の適切な組み立て／動作を検証した後、はんだ接続を行う。
- 検証には、"verify all mux cards"コマンドと"verify all testjet probes"コマンドの両方を使用する。

以下を行わないでください。

- マルチプレクサからセンサ・プレートまでの経路でトランスファ・ピンを使用する。
- マルチプレクサからセンサ・プレートまでの経路でOn/Off するメーク・ブレーク接続を使用する（例えば、クラウン・プローブ）。
- マルチプレクサからテスタまでの経路でトランスファ・ピンを使用する。

実行時に、VTEP以外のハードウェアやフィクスチャに問題がある場合に、VTEPが以下のメッセージを表示する可能性があります。

T406： Invalid Testjet probe, use “verify allmux cards” to debug

ハードウェアがVTEPの場合は、このメッセージはフィクスチャの問題を示しています。経路接続がはんだ付けされていることを確認するか、ハンガ・プローブを交換するか、マルチプレクサ・ヘッダからセンサ・プレートまでの経路にその他の抵抗がないかチェックしてください。

AutoDebug（自動デバッグ機能）

クイック・スタート

AutoDebugツール（ADB）は、テスト開発者がVTEPテストを簡単にデバッグして、製造に移行できるように設計されています。ADBは、TestJetをサポートしていません。ボードが製造工程に入った後、エンジニアがこのツールを使用して、必要に応じてテストを簡単に調整できます。ツールは、プッシュボタン・デバッグに統合されていて、マウスをクリックするだけで呼び出すことができます。テストの簡単なデバッグ方法を以下に示します。

- フィクスチャに既知の良好なボードを配置します。
- テストプランをbasicにロードします。
- デバッグ"testjet"を実行します。
- push button debugウィンドウが表示されたら、AutoDebugメニューからAutoDebug Testオプションを選択します。
- ADBが終了したら、テストをいつでも実行できます。

ADBの実行中は、バキューム・オン、テストの実行、測定データの取得、データの評価、新しいTestJetテストの作成、新しいテストのコンパイル、バキューム・オフといったさまざまなイベントが発生します。このための時間は、約10 s＋テスト実行時間の10倍です（このプロセス中、各ピンに対して10個のデータが取り込まれます）。ADBは、各ピンに対してリミットを設定し、許容条件（最小cpk、以下の説明を参照）に適合しないピンをコメントアウトします。

仮定と使用モデル

ADBは、既知の良好なボードをデバッグしていると仮定し、このボードが製造で確実に合格するようなリミットを設定しようと試みます。ADBは、各ピンに対して10個のデータを取り込み、平均値と標準偏差を計算します。リミットは、2組のルールを使って評価されます。2つのリミットの内のより控えめな（広い）方が選ばれます。ルールの詳細については、「カスタム・パラメータ」セクションを参照してください。

テストで最初のADBが実行された後は、新しいリミットを設定する際に前のリミットが考慮されます。これにより、複数の既知の良好なボードとフィクスチャのデバッグが可能になります。新しく計算されたリミットが前のリミットの外になる場合は、新しいリミットが使用されます。前のリミットが新しいリミットの外にある場合は、前のリミットが維持されます。前のリミットは、他のボードでの以前のADBの実行を表します。前のリミットが新しく計算されたリミットの外にある場合は、リミットをより広く設定する必要がある別のボードが存在します。

理想的には、フィクスチャを複数作成した場合は各フィクスチャに対して、ADBは、異なるメーカのさまざまなロットからのデバイスを使って、複数の既知の良好なボード上で実行する必要があります。これにより、フィクスチャ間の変動とボード間の変動が明らかになります。現実には、プログラマは、1つのフィクスチャとボードしか利用できない可能性があります。この場合は、フィクスチャを開いて閉じた後、同じボードでもう一度ADBを実行します。これにより、フィクスチャ内のセンサ・プレート調整の機械的な不一致による変動を簡単にシミュレートできます。この後、ボードが製造工程に入ってから、再度ADBを実行できます。おそらくこれが、すべてのフィクスチャをカバーする唯一の方法です。製造工程からのボードには、新しいロットのデバイスが搭載される可能性もあります。

表2. AutoDebugメニューには、ADBに対するその他のオプションがあります。ここではオプションの概要と、意図する使用法と可能な使用法を示します。

メニュー選択肢	概要
AutoDebug Test	前述の説明と同じ。テスト全体をデバッグします。
AutoDebug Device	デバイス・リストから選択した単一デバイスをデバッグします。1つのデバイスだけをデバッグし、他のデバイスは変更しない場合に使用します。
Undo Last AutoDebug	最後の操作を元に戻します。テストに変更を加えるごとに、番号付きのバックアップ・コピーが作成されます。undoは、テストを最後のバックアップで上書きすることにより行われます。これは、複数回繰り返すことができます。各undoで最も新しいバージョンのテストが破棄されるため、やり直しはできません。バックアップは、<board dir>/debug/TestJet/adbディレクトリで行われます。
Restore Original Test	はじめてADBが実行されたときに、テストのゴールデン・コピーが保存されます。これは、手動で編集しない限り、IPGが作成したバージョンになります。このオプションは、最初にテストをバックアップしてから、テストをゴールデン・コピーに復元します。もう一度やり直すために、学習したリミットを破棄し、ADBによりコメントアウトされたピンを回復するための方法です。
Restore Original Device	上記と同じですが、デバイス・リストから選択した単一デバイス用です。デバイスを変更したボード上で、設計変更(ECO)の後に使用します。他のすべての学習したリミットを保持し、この新しいデバイスだけをデバッグできます。
Edit Custom Parameters	ADBが使用するパラメータの一部は、ユーザがカスタマイズ可能です。この場合、パラメータを編集するためのウィンドウが表示されます。変更後、ADBを再度実行できます。ADBが使用するパラメータは、テストの始めのコメントに記述されています。
AutoDebug Test iVTEP＋VTEP	上記の説明と同じ。VTEPとiVTEPの両方を使ってテスト全体をデバッグします。
AutoDebug Device iVTEP＋VTEP	VTEPとiVTEPを使ってデバイス・リストから選択した単一デバイスをデバッグします。1つのデバイスだけをデバッグし、他のデバイスは変更しない場合に使用します。

カスタム・パラメータ

各ピンのリミットを決定するときに、ADBは、2つの個別の計算を使用して、最も適切な(広い)リミットを選択します。これら2つの計算は、内部公式とユーザ公式を使って実行されます。

内部の方法は、ノイズ、温度によるオフセットなどのパラメータの経験的に導かれたデフォルト特性を使用します。ユーザはこの計算方法を変更することはできません。この方法では、平均値と設定されたリミットの間の特定の最小マージンが得られます。このマージンを使って、カスタム・パラメータの設定に関係なく、ADBが測定能力により近いリミットを記述するようにしています。

ユーザ公式は、複数のパラメータを使用してユーザがカスタマイズできます。

ユーザが変更可能な値には、Pushbutton DebugのAutodebugメニューのEdit Custom Parametersオプションからアクセスします。上限値用に2つ、下限値用に2つのパラメータがあり、同様に機能します。

平均値にHiPercentとLoPercentを乗算して、平均値に加算（または平均値から減算）するオフセットを計算します。これらは真の％ではなく、％/100として表されます。すなわち、LoPercentを0.50に設定すると、平均値の50 ％のオフセットが得られます。平均値が小さくなると、この計算からのオフセットが小さくなります。HiMinOffset値とLoMinOffset値は、平均値からリミットまでの最小オフセット値を指定します。以下の公式で表されます。

HiLimit = 平均値 ＋ max ((平均値*HiPercent), HiMinOffset)

LoLimit = 平均値 － max ((平均値*LoPercent), LoMinOffset)

下限値の場合は、もう1つのパラメータが一番低いリミット設定を制御します。LowestLowLimitより低いリミットは設定できません。

最後のパラメータはMinCpkです。これは、学習しても不安定な測定になる場合は、検査しないように該当ピンをコメントするか判定されます。リミットが決定された後、cpkが計算されます。cpkがこのしきい値より下がったピンがコメントアウトされます。注記： 計算されたcpkは、この10個の測定セットの平均値と標準偏差を使用します。ADBを通して実行したすべてのボードのcpkではありません。cpkは、製造工程でのテスト品質の指標としてよく使用され、以下の公式によって定義されています。

cpk = abs(mean * closest_limit) / (3 * sigma)

abs = 絶対値

mean = 測定の平均値

sigma = 標準偏差

リミット計算用の公式は、$AGILENTICT_ROOT/contrib/doc/VectorlessEP_ADB.xlsにあるExcelスプレッドシートでシミュレートされています。リミットは、ロー、ミディアム、ハイの各レンジ値に対して計算され、グラフ化されます。これにより、カスタム・パラメータの影響をモニタできます。

AutoDebug Test iVTEP ＋ VTEP

これは、AutoDebug Testのメニュー選択肢とほぼ同じですが、VTEPとiVTEPの両方が含まれています。

このオプションは、既存のテストのバックアップを作成し、新しいしきい値を計算するための結果評価テストを実行して、CPKを解析します。最小CPKより小さい値を読み取ったピンには"throughput adjustment 2"が追加され、それらのしきい値が1と10に設定されます。これにより、そのピンに対するiVTEP測定がオンになります。構文を以下に示します。

test pins "A3"; threshold low 2 high 28 !ADB：10,0.572,7.77,20.0,

10000.0,3.36

test pins "A4"; threshold low 1 high 10, throughput adjustment 2 !iVTEP

テストがコンパイルされ、2回実行され、"throughput adjustment 2"を持つピンのデータだけが解析されます。最小CPKより小さいピンはコメントアウトされ、テストが最終的にコンパイルされます。サマリ・データがワークスペースに表示されます。

Faon/Faoffマクロ

ADBの実行中、ボードが引き下げられ、後でリリースされます。これを実行するには、

2つのマクロ<board dir>/debug/TestJet/FaonおよびFaoffを実行します。ボードがきれいに真空引きされない場合は、必要に応じてこれらのマクロをカスタマイズできます。

例：自動ボード・ハンドラを使用する場合、またはフィクスチャ・アクチュエータが空気圧式の場合は、これを実行する必要があります。

コメント

ADBは、実行中に、テスト・ファイルにコメントを書き込みます。この情報を編集しないでください。これらのコメントをそのまま残しておくことが重要です。ほとんどのコメントは情報提供のみですが、ADBの次の実行への情報伝達に使用されるコメントもあります。こうしたコメントを変更すると、情報が破壊され、ADBで不正確な動作が発生する可能性があります。その他のコメントは、それ自体のラインに単に入力することにより、ファイルに問題なく挿入できます。

パーマネント変更

ADBは、デバイスまたはピンをパーマネントとしてマークする機能を備えていません。実行されるたびに、ADBがすべてのデバイスとピンをリライトします。デバイスを保存したい（パーマネントとして扱う）場合は、これを手動で行う必要があります。可能なオプションを以下に示します。

- パーマネント・デバイス用に個別のテストを実行します。このテストでADBを実行しないでください。必要に応じて、testorderファイルを変更してください。
- AutoDebug Deviceオプションのみを使用します。選択したデバイスのみを変更し、他はすべて保持します。
- パーマネント・デバイスの個別のコピーを保持します。ADBの実行後、それを手動で復元できます。

testorderファイルでパーマネントとマークされていない限り、IPGはテストを上書きできます。

その他のマクロ

Macrosメニューには、以下のマクロがあります。

- TestJet Close Adjust-With Board
- TestJet Close Adjust-Without Board
- TestJet Close Adjust-Calculate Results

このマクロ・セットで、ボードを使用した状態と使用しない状態の値を測定／比較します。作成されたレポートに、一部の下限値を手動調整するための推奨事項が示されています。推奨事項に従って、底面のデバイスをフィクスチャのプローブ近くに配置し、ピンがオープンしている場合でも余分のキャパシタンスを測定することにより、その影響を補正できます。

Macrosメニューには、以下のマクロもあります。

- TestJet Missing Adjust-Blank
- TestJet Missing Adjust-Loaded
- TestJet Missing Adjust-Calculate Results

このマクロ・セットで、ロードされたボードとブランク・ボード間の違いを測定／比較します。作成されたレポートに、一部の上限値を手動調整するための推奨事項が示されています。推奨事項に従って、デバイスが欠落している場合にはテストが必ず不合格になるようにします。裸ボードに直接接触するセンサ・プレートは通常、デバイスが欠落している場合は、正常な読み値より高い値になります。

これらのマクロによって使用されるガイドラインは、TestJet用に設計されたものです。VTEP用にアップデートされていません。示される推奨事項は、これまでどおり考慮する価値はありますが、VTEPのより優れた性能特性に対する検証は行われていません。

注記：*テスト・ファイルで行った手動変更は、ADBを再度実行すると失われます。これらのマクロを使用する必要がある場合は、最初にADBを実行してから、手動変更を行います。ADBを再度実行する必要がある場合は、後から使用するためにレポート・ファイルを保管しておいてください。*

出力フォーマット

testjet print level is allの出力を使用してデータをprinter isデバイスに収集する場合は、プリントされるデータのフォーマットに対する拡張がいくつかあります。オリジナルのフォーマットを以下に示します。

D： u3 P： 3 25.3 p 13.0 46.0

これは、デバイス(D) u3、ピン(P) 3が、リミット13と46で25.3fFを測定したことを意味します。このフォーマットは依然として有効です。過去には、測定値を持つピンだけがプリントされました。現在は、以下に示すように、結合ピン情報も含まれています。

D： u3 P： 4 18.7 p 7.0 39.0

D： u3 P： 7 tied

これは、ピン7がデバイスu3のピン4に結合していることを意味します。

ピンがドライブスルー・ノードを使用してテストされる場合は、フォーマットは以下に変わります。

D： u3 N： NodeName 192.7 p 147.0 264.0

ピンを示す"P"の代わりに、ノードを示す"N"になっています。

最後の変更として、オリジナルのTestJetを使用するときは、デバイスを分離するために"-"文字の文字列がプリントされます。VTEPのテストは、"="文字によって分離されます。

ソフトウェア・リリース7.0とVTEP v2.0

ソフトウェア・リリース7.0は、i3070マックス・テスト・プラットフォーム(Mux：マルチプレクス)とi3070アン・マックス・テスト・プラットフォーム(Un-Mux：ノン・マルチプレクス)の両方に対して共通のソフトウェア・プラットフォームを提供します。VTEP v2.0ハードウェアおよびソフトウェアも、7.0 i3070 SWリリースの一部です。VTEP搭載のフィクスチャの場合は、VTEP v2.0では、iVTEPによりデバイスの信号ピンが完全にカバーされ、NPMによりコネクタの電源ピンとグランド・ピンがカバーされるようにVTEPが拡張されています。旧いTestJetのフィクスチャもサポートしています。

NPMコネクタ・モデル

7.0ソフトウェア・アップグレードは、コネクタの電源ピンとグランド・ピンをさらにカバーするNPMを提供します。NPMは、コネクタの回路パラメータ測定を基にして、電源ピンとグランド・ピンのオープンを検出します。これらの回路パラメータは、コネクタ・モデルに記述されています。コネクタ・モデルは、7.0ソフトウェア・アップグレードから提供され始めた以下の3070ライブラリにあります。

表3. 7.0では、以下のコネクタがNPMコネクタ・モデルを持っています。

概要	代表的なメーカのパーツ番号	3070コネクタ・モデル名
フル・バッファDIMM (FBD)、240ピンDDR Ⅱ	AT54007-H3BF-4F	fbd_ddr2_240_pin
DIMM、240ピンDDR Ⅱ	1775805-1	ddr2_240_pin
PCI Express 32X	2EG0E017-D2D-DF	pci_express_32x
PCI Express 16X	2EG38211-D2D-4F	pci_express_16x
PCI Express 8X	2EG08211-D2D-DF	pci_express_8x
PCI Express 4X	2EG03211-D2D-DF	pci_express_4x
PCI Express 1X	22EG01811-D2D-DF	pci_express_1x
Serial ATA 22ピン	LD11223-S03	sata_22_pin
Metral®11Row	2H251103-NC201	metral_11_row
FH B-T-B 0.8mm、80ピン	177983	08mmfh_80

コネクタ・モデルは、暗号化されています。モデル内のピン名は、コネクタ用の業界標準の命名規則に基づいています。これらは、ボード・ファイル内のピン名と一致する必要があります。一致しない場合は、ボード・コンパイラ警告が生成されます。この警告を修正するには、ボード・ファイルのピン名を編集するか、マップ・ファイルを編集します(下の説明を参照)。

デバッグおよびテスト実行時に、以下のテストヘッド・コントローラに有効なモデル・ファイルが存在する必要があります。

$AGILENTICT_ROOT/library/supplemental/connectors

NPMの追加テスト開発ステップ

VTEP v2.0は、TestJet、VTEP、iVTEPに対して同じテスト開発プロセスを使用し、NPMに対して1つの追加ステップを使用します。追加ステップとは、上記の表のコネクタ・モデルをターゲット・コネクタのパーツ番号フィールドに追加することです。i3070マルチプレクサ・システムの場合は、Board Consultantを使用できます。i3070アン・マックス・システムの場合は、TTFXTを使用できます。どちらの場合も、ボード・ファイル内の最終エントリは以下のようになります。

コネクタ

"J601" TJ PN"ci_express_16x" "CONN-PC EDGE"; !VTEP＋NPMコネクタ

"J602" TJ "CONN-POST-TP-PST"; !VTEP専用コネクタ

VTEP v2.0のファイル構造

VTEP v2.0は、TestJet、VTEP、iVTEPに対して同じファイル構造を使用し、NPMに対して1つの追加ファイルを使用します。以下のファイルが使用されます。

"testjet"：

これは、IPGによって作成されたtestjetソース・ファイルです。ファイルには、ベクタレス・テスト用にマークされたすべてのデバイスが含まれています。ファイルには、ベクタレス・テスト用にマークされ、ボード・ファイルのパーツ番号フィールドにNPMコネクタ・モデルを持たない、すべてのコネクタも含まれています。

ボード構成ファイルから"enable testjet"が削除されたi3070アン・マックス・システムの場合は、このファイルの名前は**"vtep"**になります。

このファイルは後から、要件とオブジェクトに対してコンパイルされます。対応するエントリがtestorder、testplan、wirelistの各ファイルに追加されます。

ファイルはADBを使用してデバッグされます。ADBによるデバッグ後、**"testjet.bd"**というASCIIファイルに、ADBの実行中に捕捉されたパーピンの平均値が書き込まれます。これを「ベースライン・データ」ファイルと呼びます。ファイルは、ADBピンのトラッキングに使用できます。ランタイム時のTestJet、VTEP、iVTEPには不要です。

ランタイム時に、このファイルは、testplanによって実行され、TestJet搭載のフィクスチャの場合は、TestJet測定を行い、VTEP搭載のフィクスチャの場合は、VTEP測定とiVTEP測定を行います。

"testjet_gx"：

これは、IPGによって作成されたtestjetソース・ファイルです。ファイルには、ベクタレス・テスト用にマークされ、ボード・ファイルのパーツ番号フィールドにNPMコネクタ・モデルを持つすべてのコネクタが含まれています。"testjet"ファイルで検出されたデバイスとコネクタは含まれていません。

ボード構成ファイルから"enable testjet"が削除されたi3070アン・マックス・システムの場合は、このファイルの名前は**"vtep_gx"**になります。

このファイルは後から、要件とオブジェクトに対してコンパイルされます。対応するエントリがtestorder、testplan、wirelistの各ファイルに追加されます。

ファイルは、ADBを使用してデバッグされます。ADBによるデバッグ後、**"testjet_gx.bd"**というASCIIファイルに、ADBの実行中に捕捉されたパーピンの平均値が書き込まれます。これを「ベースライン・データ」ファイルと呼びます。NPMの場合は、ランタイム時にこのファイルが存在しないと、エラーが発生します。

ランタイム時に、このファイルは、testplanによって実行され、TestJet搭載のフィクスチャの場合は、TestJet測定を行い、VTEP搭載のフィクスチャの場合は、VTEP測定とiVTEP測定を最初に行います。これらにすべて合格し、かつ有効なマップ・ファイル、ベースライン・データ・ファイル、モデル・ファイルが存在する場合は、電源ピンとグランド・ピンの追加カバレージを取得するために、NPMが実行されます。

"testjet_gx.m"：

これは、"testjet_gx"ファイル内の各コネクタのモデルのパスと名称、モデルのピン名、ボードのピン名、ピンタイプと結合ステータスを記述するASCIIファイルです。「マップ・ファイル」と呼ばれます。

ボード構成ファイルから"enable testjet"が削除されたi3070アン・マックス・システムの場合は、このファイルの名前は**"vtep_gx.m"**になります。

ボード・ファイル内のコネクタのピン名がモデル内のコネクタのピン名と一致しない場合は、ファイルを編集できます。マップ・ファイルでこのようなピン名に"*"マークが付きます。

ファイルを編集し、ピンタイプを"nc"に変更すると、個別コネクタの電源ピン、グランド・ピン、固定ピンをNPM解析から除去できます。"testjet_gx"ファイルの再コンパイルは不要ですが、BT-Basicテストヘッド・ウィンドウから"load board"コマンドを実行する必要があります。

NPMの場合は、ランタイム時にこのファイルが存在しないと、エラーが発生します。

以下に、サンプル・マップ・ファイルを示します。

```
! Map file for "DEMO 2004 Board"

!-----------------------------------------
! Pin type can be one of:
!   gnd        ground
!   fixed      from board file fixed list
!   signal     signal pin
!   nc         not connected
!   na         no access
!
! Pin names that are defined in the board
! file but are not defined in the model
! file have the Model Pin Name defined with
! an "*" and require the user to fix this
! file to put in the correct Model Pin Name
! for the specified Board Pin Name.
!-----------------------------------------
device "j602"
model "C:/Agilent_ICT/library/supplemental/connectors/
models/pci_express_16x"

  !-----------------------------------------
  ! Model       Board
  ! Pin         Pin          Pintype     Tied?
  ! Name        Name                    (1,2,4...)
  !-----------------------------------------
    A1          A1           signal    A5, A6, A7, A8,
A11, A15
    A2          A2           fixed
    A3          A3           fixed
    A4          A4           gnd
    A5          A5           signal    A1, A6, A7, A8,
A11, A15
```

テスト開発

表4. 以下の表に、VTEP v2.0のテスト開発プロセスのまとめを示します。詳細については、i3070 VTEPマニュアルを参照してください。

	i3070 マックス・システム	i3070 アン・マックス・システム	
	VTEPまたはTestJet	**VTEP**	**TestJet**
"config" ファイル	enable testjet	!enable testjet（このステートメントをコメント）	enable testjet
	7.0でTestjet、VTEP、iVTEP、NPMをオンにする	7.0でVTEP、iVTEP、NPMをオンにする	TestJetのみをオンにする[1]
"board" ファイル	デバイスと非NPMコネクタ ： 通常のベクタレス・テスト・エントリ	デバイスと非NPMコネクタ ： 通常のベクタレス・テスト・エントリ	デバイスと非NPMコネクタ ： 通常のベクタレス・テスト・エントリ
	NPMコネクタ：コネクタのモデル・ファイル名をターゲット・コネクタのパーツ番号フィールドに追加	NPMコネクタ：コネクタのモデル・ファイル名をターゲット・コネクタのパーツ番号フィールドに追加	今後のNPMコネクタ：コネクタのモデル・ファイル名をターゲット・コネクタのパーツ番号フィールドに追加
Test Generation	以下のファイルを作成：	以下のファイルを作成：	以下のファイルを作成：
	"testjet"： すべてのデバイスとコネクタ・モデルなしのコネクタ	**"vtep"：** すべてのデバイスとコネクタ・モデルなしのコネクタ	**"testjet"：** すべてのデバイスとコネクタ・モデルなしのコネクタ
	"testjet_gx"： コネクタ・モデルつきコネクタ	**"vtep_gx"：** コネクタ・モデルつきコネクタ	**"testjet_gx"：** コネクタ・モデルつきコネクタ
	"testjet_gx.m"： コネクタのマップ・ファイル	**"vtep_gx.m"：** コネクタのマップ・ファイル	**"testjet_gx.m"：** コネクタのマップ・ファイル
"testorder"、"testplan"、"wirelist" ファイル	以下のテスト・エントリを追加：	以下のテスト・エントリを追加：	以下のテスト・エントリを追加：
	"testjet"： すべてのデバイスとコネクタ・モデルなしのコネクタ	**"vtep"：** すべてのデバイスとコネクタ・モデルなしのコネクタ	**"testjet"：** すべてのデバイスとコネクタ・モデルなしのコネクタ
	"testjet_gx"： コネクタ・モデルつきコネクタ	**"vtep_gx"：** コネクタ・モデルつきコネクタ	**"testjet_gx"：** コネクタ・モデルつきコネクタ

1 NPMとiVTEPにはVTEPハードウェアが必要です。TestJetハードウェアは、NPMをサポートしていません。ただし、TestJet搭載のテスト・フィクスチャを将来、VTEPで簡単にアップグレードできます。このような場合は、フィクスチャ・ハードウェアをアップグレードしたときに、ボード・ディレクトリのファイル構造が適切に配置されるようにNPMコネクタ・モデルを指定できます。アップグレード後にiVTEP機能をオンにするには、オリジナルのテストとAutoDebugを復元します。

デバッグ

表5. 以下の表に、VTEP v2.0デバッグ・プロセスのまとめを示します。詳細については、i3070 VTEPマニュアルを参照してください。

	i3070 マックス･システム	i3070 アン・マックス・システム	
	VTEPまたはTestJet	**VTEP**	**TestJet**
ADB - VTEP HW	**debug "testjet"：** AutoDebug Device AutoDebug Test AutoDebug VTEP＋iVTEP Device AutoDebug VTEP＋iVTEP Test "testjet.bd"ファイルが作成される	**debug "vtep"：** AutoDebug Device AutoDebug Test AutoDebug VTEP＋iVTEP Device AutoDebug VTEP＋iVTEP Test "vtep.bd"ファイルが作成される	**debug "testjet"：** Config target文がハードウェアに一致しない。エラーが発生
	debug "testjet_gx"： AutoDebug Device AutoDebug Test "testjet_gx.bd"ファイルが作成される	**debug "vtep_gx"：** AutoDebug Device AutoDebug Test "vtep_gx.bd"ファイルが作成される	**debug "testjet_gx"：** Config target文がハードウェアに一致しない。エラーが発生
ADB - TestJet HW	**debug "testjet"：** i3070マックス・システムでTestJetに対してADBを使用できない。警告が発生	**debug "vtep"：** Config target文がハードウェアに一致しない。エラーが発生	**debug "testjet"：** AutoDebug Device AutoDebug Test "testjet.bd"ファイルが作成される
	debug "testjet_gx"： i3070マックス・システムでTestJetに対してADBを使用できない。警告が発生	**debug "vtep_gx"：** Config target文がハードウェアに一致しない。エラーが発生	**debug "testjet_gx"：**[2] AutoDebug Device AutoDebug Test "testjet.bd"ファイルが作成される フィクスチャにVTEPが装備されていた場合は、より優れた性能が得られることを知らせる警告が発生

2 testjet_gxファイルは、TestJet搭載のフィクスチャの信号ピンのみをカバーします。コネクタの電源ピンとグランド・ピンのオープン・カバレージに対するNPM測定は、実行されません。

ランタイム

表6. 以下の表に、VTEP v2.0ランタイムのまとめを示します。詳細については、i3070 VTEPマニュアルを参照してください。

	i3070 マックス・システム	i3070 アン・マックス・システム	
	VTEPまたはTestJet	**VTEP**	**TestJet**
Runtime - Testjet HW	**test "testjet"：** TestJetによってデバイスの信号ピンをテスト TestJetによって非NPMコネクタの信号ピンをテスト	**test "vtep"：** Config target文がハードウェアに一致しない。エラーが発生	**test "testjet"：** TestJetによってデバイスの信号ピンをテスト TestJetによって非NPMコネクタの信号ピンをテスト
	test "testjet_gx"： TestJetによってNPMコネクタの信号ピンをテスト	**test "vtep_gx"：** Config target文がハードウェアに一致しない。エラーが発生	**test "testjet_gx"：** TestJetによってNPMコネクタの信号ピンをテスト
Runtime - VTEP HW	**test "testjet"：** VTEPまたはiVTEPによってデバイスの信号ピンをテスト VTEPによって非NPMコネクタの信号ピンをテスト	**test "vtep"：** VTEPまたはiVTEPによってデバイスの信号ピンをテスト VTEPによって非NPMコネクタの信号ピンをテスト	**test "testjet"：** Config target文がハードウェアに一致しない。エラーが発生
	test "testjet_gx"： VTEPによってNPMコネクタの信号ピンをテスト。信号ピンが不合格の場合は、NPMの前にテストが終了 すべてのVTEP信号ピンが合格した場合、電源ピンとグランド・ピンでNPMを実行。コネクタ・モデル・ファイル、マップ・ファイル、ベースライン・データ・ファイルを使用できないと、ランタイム・エラーが発生	**test "vtep_gx"：** VTEPによってNPMコネクタの信号ピンをテスト。信号ピンが不合格の場合は、NPMの前にテストが終了 すべてのVTEP信号ピンが合格した場合は、電源ピンとグランド・ピンでNPMを実行。コネクタ・モデル・ファイル、マップ・ファイル、ベースライン・データ・ファイルを使用できないと、ランタイム・エラーが発生	**test "testjet_gx"：** Config target文がハードウェアに一致しない。エラーが発生

その他のNPMデバッグの注意事項

既知の良好なボード(KGB)で"testjet_gx"ファイルをデバッグするには、常にADBを使用してください。VTEP測定が、最初に信号ピンに対して実行されます。これに合格すると、コネクタ・モデルとマップ・ファイルで定義されたように、電源ピン、グランド・ピン、固定ピンに対してNPMが実行されます。

NPMの実行から個別の電源ピン、グランド・ピン、固定ピンを削除するには、そのピンのマップ・ファイル・エントリを"nc"に変更します。以下の例では、ピン"A2"がNPMの実行から削除されます。

```
device "j602"
model"C:/Agilent_ICT/library/supplemental/connectors/
models/pci_express_16x"

  !-------------------------------------------
  ! Model       Board
  ! Pin         Pin          Pintype     Tied?
  ! Name        Name                    (1,2,4...)
  !-------------------------------------------
    A1          A1           signal    A5, A6, A7, A8,
A11, A15
  ! A2          A2           fixed
    A2          A2           nc
```

"testjet_gx"ファイルの再コンパイルは不要ですが、"load board"コマンドを実行する必要があります。

コネクタ全体に対するNPMの実行を削除するには、ボード・ファイルのパーツ番号フィールドからモデル名エントリを削除し、ボードを再コンパイルし、"testjet_gx"を再コンパイルします。

その他

CR14114

ピンがジャンパを介して別のピンに接続される場合は、testjet print level is all機能の出力は正しくありません。これが発生すると、ADBがピンをコメントアウトします。対策として、ピンをアンコメント化し、オリジナルのテストを表示することにより、結合ピン構文を修正します。これらのピンを識別するために、ラインの最初のコメント"!ADB CR"を検索します。

CR13647

TestJetテスト・コンパイラは、以前はコンパイルするには大きすぎたテストをコンパイルできるようになりました。ただし、新しい問題が発生しています。大きすぎるテスト(以前のリミットを超えるテスト)は、「T313 timeout waiting on psync exception」を発生する可能性があります。対策としては、nrun = 1のときvtepテストの実行直前に"dump flow control off"を実行し、続いてテストの実行直後に"dump flow control off"を実行します。nrun > 1では何も実行しません(中止します)。

電子計測UPDATE

www.agilent.co.jp/find/emailupdates-Japan
Agilentからの最新情報を記載した電子メールを無料でお送りします。

Remove all doubt

アジレント･テクノロジーでは、柔軟性の高い高品質な校正サービスと、お客様のニーズに応じた修理サービスを提供することで、お使いの測定機器を最高標準に保つお手伝いをしています。お預かりした機器をお約束どおりのパフォーマンスにすることはもちろん、そのサービスをお約束した期日までに確実にお届けします。熟練した技術者、最新の校正試験プログラム、自動化された故障診断、純正部品によるサポートなど、アジレント･テクノロジーの校正･修理サービスは、いつも安心で信頼できる測定結果をお客様に提供します。

また、お客様それぞれの技術的なご要望やビジネスのご要望に応じて、
・アプリケーション･サポート
・システム･インテグレーション
・導入時のスタート･アップ･サービス
・教育サービス
など、専門的なテストおよび測定サービスも提供しております。

世界各地の経験豊富なアジレント･テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、測定器のメインテナンスをサポートいたします。詳しくは：

www.agilent.co.jp/find/removealldoubt

アジレント･テクノロジー株式会社

本社〒192-8510 東京都八王子市高倉町9-1

計測お客様窓口

受付時間 9:00-19:00（土･日･祭日を除く）
FAX、E-mail、Webは24時間受け付けています。

TEL ■■ 0120-421-345
(042-656-7832)
FAX ■■ 0120-421-678
(042-656-7840)
Email contact_japan@agilent.com

電子計測ホームページ
www.agilent.co.jp

● 記載事項は変更になる場合があります。
ご発注の際はご確認ください。

Copyright 2007
アジレント・テクノロジー株式会社

Agilent Technologies

July 11, 2007
5989-6344JAJP
0000-00DEP