

FPGA 回路デザイン： 電源の問題の解決

Application Note



はじめに

FPGA 回路を設計する際には、最終製品から欠陥をなくし、可能なあらゆる動作条件で最適化するために、パワーの問題に注意することが必要です。FPGA 回路の電源に関する考慮事項は、2つのカテゴリに分けられます。FPGA 回路のパワー・オン要件と、FPGA 回路のパワー解析です。このアプリケーション・ノートでは、これら2つの領域について説明し、設計者が直面する可能性がある問題を示し、それらのソリューションを紹介します。

FPGA 回路のパワー・オン

FPGA 回路には複数の電源入力があります。ターンオン時の電流消費を最適化したり、ラッチアップを防いだり、回路の永久的な損傷を防止したりするために、これらの入力には精密なシーケンス設定と正確なタイミングの電圧スルーレートが必要です。FPGA 回路が、複数の ASIC から構成される場合は、パワーのターンオンはさらに複雑になります。このような状況では、他のデバイスへの電源供給を、FPGA の構成が完了する前または後に行いたい場合があります。これは、ターンオン時のグリッチを防ぎ、ターンオン時の消費電力を削減するために必要になります。

FPGA 回路のパワー解析

FPGA 回路が消費するパワーの大きさは、いくつかの要因により決まり、回路のデザインに大きく依存します。これらの要因として、FPGA の構成に使用された HDL の最適化の度合い、I/O に接続されているインタフェース、I/O トラフィックの頻度などがあります。電源から供給する必要がある最大パワーを決定するために、FPGA 回路の消費電力をあらゆる動作条件でテストする必要があります。大電流スパイクの正確なプロファイルを測定し、タイム・スタンプを付けて動作のどの時点で発生したかを特定する必要があります。パワー・リソースが限られている製品（バッテリー駆動のデバイスなど）に適合させるためには、FPGA デザインを繰り返し最適化しなければならない場合もあります。FPGA 回路のパワー解析は、デザインの熱管理のためにも重要です。シリコン・デバイスは過熱により損傷する可能性があり、場合によっては、デザイン全体のサイズを調整して表面積を拡大したり、冷却のための通気を増やしたりする必要があります。

現在の問題点

パワー・オンのソリューション

FPGA 回路への電源供給には2つの方法が一般的に用いられています。固定レギュレータ回路と単出力プログラマブル電源です。固定レギュレータ回路は、禁止機能による適切なシーケンス設定と RC 回路による適切なスルーレートを実現できます。しかし、この方法は柔軟性に欠けるため、デザイン・プロセスの初期段階でのソリューションとしては不適切です。このソリューションでは、FPGA の許容範囲内でシーケンス設定とスルーレートを微調整してターンオン時の消費電力を最適化する余地がほとんどありません。FPGA 回路のパワー・オン時にラッチアップなどの問題が発生した場合は、レギュレータ回路からは問題のデバッグのヒントとなる情報がほとんど得られません。

プログラマブル電源は、デザイン・プロセスの初期段階での固定レギュレータ回路の欠点を回避するためのもう1つのソリューションです。しかし、FPGA 回路に対する厳密なターンオン時間シーケンスの設定やスルーレートのセットアップに必要なプログラミングを、Windows などのオペレーティング・システム上で行うには、何らかのハードウェアが必要になります。



Agilent Technologies

FPGA 回路のデザイン・ゴールは、プロジェクトの進行に伴って変化する場合があります。プログラマブル電源を使用している場合は、これが問題になることがあります。タイミング要件や必要なパワーが変化すると、電源のレンジやソフトウェア設定も変化します。そのため FPGA 回路デザインが変更されるたびにプログラマブル電源を構成し直すための時間／コスト／リソースがかかります。理想的なソリューションは、汎用ユニットで、出力シーケンスを設定でき、スルー・レートをサポートしているユニットを使用することです。

パワー解析

暫定的な FPGA 回路のパワー解析は、予測アルゴリズムにより行われます。アルゴリズムは、FPGA のメーカから提供されるドキュメントに記載されています。予測アルゴリズムはあまり正確ではありません。その主な目的は、パワー分配のデザインの出発点となるように、FPGA 回路の消費電力の平均値とワーストケース値の予測を与えることです。一部の FPGA メーカでは、暫定的な予測アルゴリズムから一歩進んで、消費電力の計算のためのソフトウェア・ツールも提供しています。

暫定的な FPGA 構成が完成した後、FPGA 回路シミュレーション・ソフトウェアを使ってパワー解析を行います。シミュレーション・ソフトウェアには、FPGA メーカから提供されるものと、サード・パーティから提供されるものがあります。シミュレーションのセットアップは、FPGA 回路が処理する I/O

トラフィックの量によっては、かなりの時間がかかる場合があります。例えば、高速イーサネット・スイッチの FPGA 回路では、大量の I/O トラフィックを正確にシミュレーションする必要があります。かなりの時間と手間がかかります。もう 1 つの問題はシミュレーションの精度です。これはシミュレーションをどれだけ注意深くセットアップするかに大きく依存します。あらゆるソフトウェア・シミュレーションと同様に、完全な精度を実現するのは現実的ではありません。

ソリューション

FPGA 回路のパワー・オン要件とパワー解析に関する問題は、N6705A DC 電源／アナライザで解決できます。N6705A DC 電源／アナライザは、4 つの DC パワー出力を備えています。4 つの出力のそれぞれの特性は、その出力に対して用いられるプラグイン・モジュールにより決まり、N6705A 用には、21 種類の異なる電源モジュールが用意されています。以下に FPGA 回路のテストに便利な N6705A の機能を紹介します。これらの機能は、測定器フロント・パネルまたは Web インタフェースからプログラミングなしで容易に設定できます。

- 各出力が最大 300 W/20 A を供給できます。出力パワーとアップ／ダウン・プログラミング速度は、その出力に対して使用される電源モジュールに依存します。もっと大きなパワー／電流が必要な場合は、出力を並列に接続して 1 つの仮想出力にすることもできます。これにより、すべての FPGA 回

路とインタフェースに十分なパワーを供給できます。

- DC パワー出力には出力シーケンス設定機能があります。遅延は 0 ~ 1.023 s の範囲で 1 ms ステップで設定できます。各チャンネルで 20 μ s/V という高速な精密スルーレート制御が可能です。チャンネルごとに電圧ランプアップ時間を設定できます。シーケンス設定するパワー出力の数が 4 つより多い場合は、複数のメインフレームを使用してシーケンスを設定できます。これにより、FPGA 回路デザインごとのさまざまなターンオン・シーケンスやスルー・レートを実現できます。
- N6705A はオシロスコープに似たディスプレイを備えていて、複数のチャンネルの電圧／電流／パワーの時間変化を表示できます。これにより、FPGA 回路デザインの電圧／電流／パワー・イベントをリアルタイムで観察できます。
- N6705A の内蔵データ・ロガーは、4 つの出力データをタイムスタンプ付きで大型カラー・ディスプレイとファイルに連続的に記録できます。データ・ログ・ファイルは、内部メモリまたは外部 USB メモリ・ドライブに保存できます。
- 表 1 に、FPGA テストに適した N6705A 電源モジュールとその仕様を示します。

表 1. FPGA テスト用に推奨される N6705A 電源モジュール

		N6751A/52A	N6754A	N6761A/62A
DC 出力定格	電圧	50 V	60 V	50 V
	電流	5 A/10 A	20 A	1.5 A/3 A
	パワー	50 W/100 W	300 W	50 W/100 W
フル負荷での最大アッププログラミング時間 (全電圧の 10% から 90% までの時間)	電圧変化	0 ~ 10 V	0 ~ 15 V	0 ~ 10 V
	時間	0.2 ms	0.35 ms	0.6 ms
	電圧変化	0 ~ 50 V	0 ~ 60 V	0 ~ 50 V
	時間	1.5 ms	2.0 ms	2.2 ms
電圧計／電流計の測定精度 (23 °C ± 5 °C) 電圧	電圧ハイ・レンジ	0.05% + 20 mV	0.05% + 25 mV	0.016% + 6 mV
	電圧ロー・レンジ (5.5 V)	—	—	0.016% + 1.5 mV
	電流ハイ・レンジ	0.1% + 4 mA	0.10% + 8 mA	0.04% + 160 μ A
	電流ロー・レンジ (100 mA、0 ~ 7 V)	—	—	0.03% + 15 μ A
	(100 mA、0 ~ 50 V)	—	—	0.03% + 55 μ A

例：Xilinx Spartan-3 FPGA 回路の適切なパワー・オン

FPGA サンプル回路の適切なパワー・オン要件とパワー・オン・セットアップを図1に示します。

この例では、NOR フラッシュ PROM やマイクロコントローラなどの電源をインタフェース電源 (VINTF) で表します。FPGA を適切に構成するために、FPGA の電源投入より 1 ms 前に VINTF をオンにして、シミュレートします。このターンオン遅延は、構成デバイスのパワー・オンが完了し、メモリから FPGA に構成を供給する準備ができていることを保証するためのものです。

Spartan-3 シリーズ FPGA には、厳密なシーケンス設定要件はありません。しかし、VCCINT を VCCAUX より前または同時にオンにすると、FPGA は余分なコア電流を消費します。この余分な電流消費により、バッテリーの消費が早くなったり、パワー分配デザインに大電流対応の大きなレギュレータが必要になったりする場合があります。図2に、シーケンス設定 (出力オン/オフ遅延) のセットアップ画面を示します。VCCINT が VCCAUX よりも 1 ms 前に

オンになるように N6705A でシーケンスが設定されています。このために、ターンオン時にコア電源 (VCCINT) で望ましくない余分な電流スパイクが発生しています。これは、VCCINT が VCCAUX よりも前にオンになったことが原因です。

図3に、ターンオン時の ICCINT の余分な電流スパイクを回避するための正しいシーケンス設定 (左) と、出力コア電流 (右) を示します。

図 1. FPGA 回路テストのセットアップ

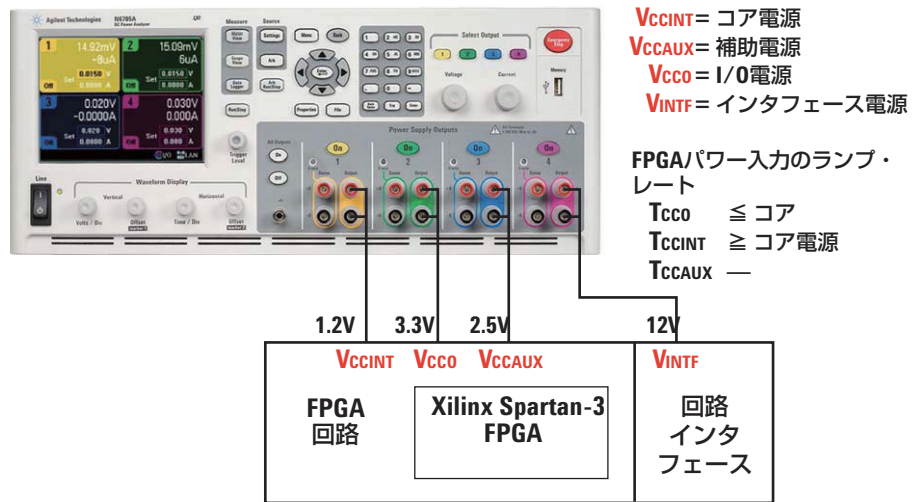


図 2. 出力シーケンス設定とターンオン時の余分なコア電流

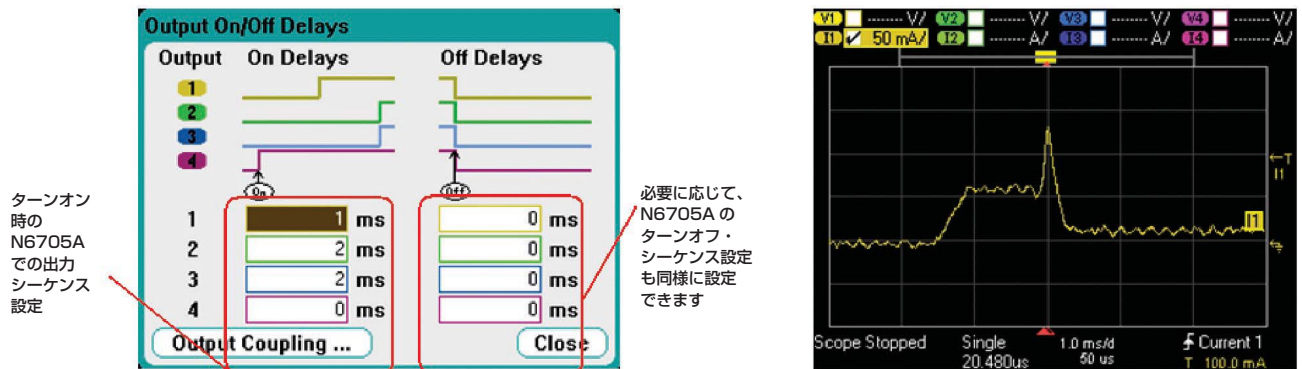


図 3. 出力シーケンス設定とターンオン時のコア電流



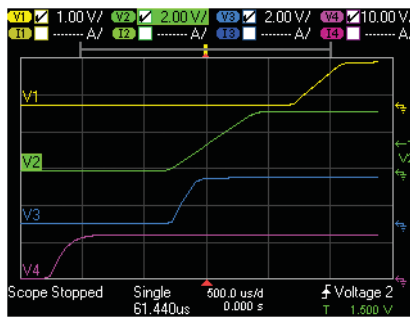
VCCINT と VCCO のスルーレートを実現するために、チャンネル1と2のスルーレートを調整しました。図4に、チャンネルのスルーレートを変更するためのN6705Aの画面を示します。スルーレートはV/sで表されています。

正確にパワー・オンするには、FPGA回路の電源がそれぞれのしきい値電圧範囲内をディップなしで上昇する必要があります。図5に、ターンオン時の適切なシーケンス設定とランプ・レートによるN6705Aの各出力を示します。各出力は、ディップなどの不安定な動作のない滑らかな電圧上昇を示します。図5には、FPGA回路のテストに用いられた電源モジュールもリストされています。サンプル回路が消費するパワーは小さい(2 A未満)ので、N675xAシリーズまたはN676xAシリーズのモジュールを使用できます。実際のFPGA回路に対して適切なN6705Aパワー・モジュールを選ぶ際には、アップ/ダウン出力速度、測定精度、出力パワー能力を考慮してください。推奨される電源モジュールとその仕様については、3ページの表1を参照してください。

図4. コア電圧とI/O電圧のスルーレートの設定



図5. ターンオン時の電源モジュール電圧



使用電源モジュール
 チャンネル 1 : N6762A
 チャンネル 2 : N6762A
 チャンネル 3 : N6752A
 チャンネル 4 : N6752A

Xilinx Spartan-3 FPGA 回路の消費電力の解析

N6705A を使用すると、内蔵のデータ・ロガー機能により、コードを書かずに FPGA 回路の消費電力を解析できます。データ・ロガーを連続サンプリング・モードにすると、DC 電源モジュールの内蔵デジタルイザが 50,000 回 /s の速度で連続動作します。ユーザがサンプリング周期を指定すると、この連続した測定値がその時間の間積算されます。各サンプリング周期ごとに、1つの平均測定値（オプションで最小値と最大値も）が保存されます。このモードでは、デジタルイザは測定値を平均して保存しながら連続動作します。したがって、デジタルイザは常に測定を実行していて、データを見逃すことはありません。サンプリング周期は 1 ms ~ 60 s の範囲で設定できます。図6は、N6705A のデータ・ロガー・プロパティ画面です。

図7に示すのは、N6705A のデータ・ロガーを使った3つのチャネルの電流出力 (ICCINT、ICCO、ICCAUX) の捕捉です。左側の画面の下の方に、保存されるファイル名が表示されています。右側の画面には、N6705A のマーカ機能が表示されています。

N6705A のデータ・ログ・ファイルの最大サイズは、拡張メモリ機能を使用した場合は 2G バイトであり、5 億個の測定値に相当します。データ・ファイルは、N6705A の内蔵不揮発性 RAM または外部 USB メモリ・デバイスに保存できま

す。データを CSV ファイルにエクスポートすることにより、Microsoft® Excel などのデータ解析ソフトウェア・パッケージで読み取ることもできます。

4つより多くの電源のパワー・シーケンス設定

FPGA テスト回路に必要な電源入力の数が4つより多い場合は、複数の N6705A メインフレームをまとめてシーケンス設定できます。このためには、メインフレームのリア・パネルにあるデジタル I/O ポートを使用します。複数のメインフレーム間の通信に伴う遅延は、電源モジュールの立ち上がり時間と、1 ms のシーケンス設定ステップ・サイズに比べると無視できます。この機能を利用するのにプログラミングやコードの作成は不要です。

まとめ

N6705A は、FPGA 回路のあらゆるニーズに対応するトータル・ソリューションです。N6705A は、シーケンス設定とスルーレート制御が可能な4つの出力を1つのユニットに備え、FPGA 回路のパワー・オンを実行するのに理想的な電源です。また柔軟性が高く正確な出力により、既存の固定レギュレータ回路や複数のプログラマブル電源よりも時間を節約できます。上記の特長に加えて、複数チャネルのデータ・ロギング、オシロスコープ表示、拡張可能なログメモリにより、FPGA 回路の消費電力の解析も行えます。複雑なソフトウェア・シミュレーションと不正確な消費電力アルゴリズムに比べて、N6705A はより正確で使いやすく、セットアップ時間をはるかに短縮できます。

図6. データ・ロガーのセットアップ

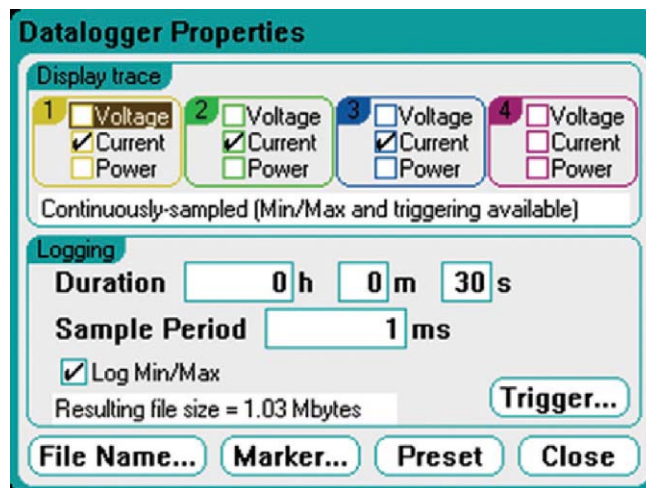
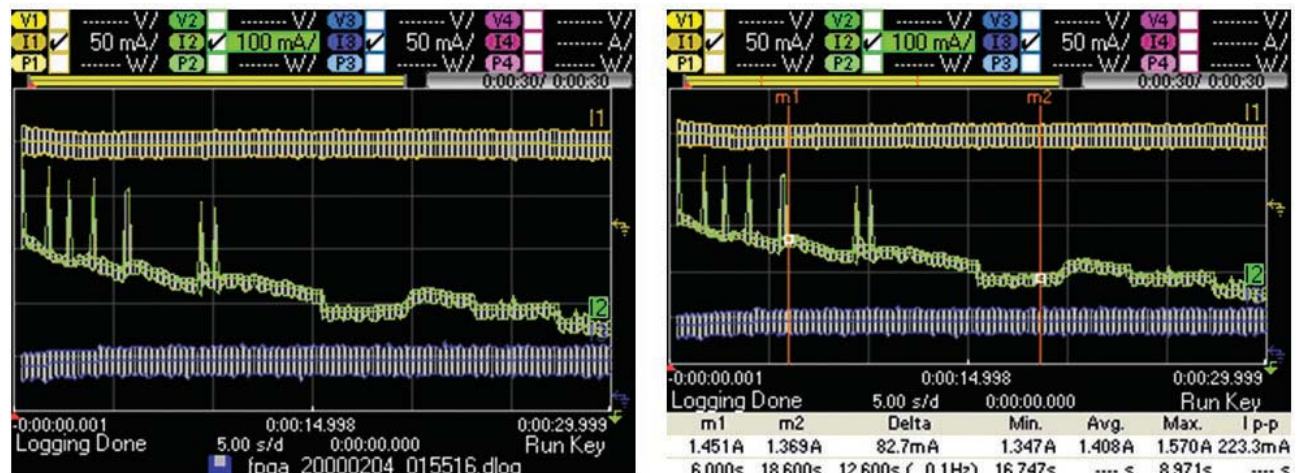


図7. 2つの N6705A データ・ロガー画面。右側の画面にはマーカ機能が表示されています。



メモとしてお使いください

メモとしてお使いください

関連アプリケーション

- ASIC 回路
- PC マザーボード
- マイクロコントローラ回路
- 故障時の制御シャットダウン

関連カタログ

Agilent DC 電源/アナライザ、Product Overview、カタログ番号 5989-6319JAJP

N6700 マルチ出力モジュラ電源システム、Product Overview、カタログ番号 5989-1411JA

N6705A の詳細については、www.agilent.co.jp/find/N6705 をご覧ください。

Microsoft は Microsoft Corp. の米国における登録商標です。

Remove all doubt

アジレント・テクノロジーでは、柔軟性の高い高品質な校正サービスと、お客様のニーズに応じた修理サービスを提供することで、お使いの測定機器を最高標準に保つお手伝いをしています。お預かりした機器をお約束とおりのパフォーマンスにすることはもちろん、そのサービスをお約束した期日までに確実にお届けします。熟練した技術者、最新の校正試験プログラム、自動化された故障診断、純正部品によるサポートなど、アジレント・テクノロジーの校正・修理サービスは、いつも安心して信頼できる測定結果をお客様に提供します。

また、お客様それぞれの技術的なご要望やビジネスのご要望に応じて、

- アプリケーション・サポート
- システム・インテグレーション
- 導入時のスタート・アップ・サービス
- 教育サービス

など、専門的なテストおよび測定サービスも提供しております。

世界各地の経験豊富なアジレント・テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、測定器のメインテナンスをサポートいたします。詳しくは：

www.agilent.co.jp/find/removealldoubt

アジレント・テクノロジー株式会社

本社 〒192-8510 東京都八王子市高倉町 9-1

計測お客様窓口

受付時間 9:00-19:00 (土・日・祭日を除く)

FAX、E-mail、Web は 24 時間受け付けています。

TEL ■■■ 0120-421-345
(042-656-7832)

FAX ■■■ 0120-421-678
(042-656-7840)

Email contact_japan@agilent.com

電子計測ホームページ
www.agilent.co.jp

- 記載事項は変更になる場合があります。ご発注の際はご確認ください。

Copyright 2008
アジレント・テクノロジー株式会社



www.agilent.co.jp/find/emailupdates-Japan

Agilent からの最新情報を記載した電子メールを無料でお送りします。



www.agilent.co.jp/find/agilentdirect

測定器ソリューションを迅速に選択して、使用できます。



January 28, 2008
5989-7744JAJP
0000-00DEP